

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-25255

(P2002-25255A)

(43)公開日 平成14年1月25日(2002.1.25)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ターマコード*(参考)
G 1 1 C 11/407		G 1 1 C 29/00	6 0 3 Z 5 B 0 2 4
29/00	6 0 3	11/34	3 6 2 S 5 L 1 0 6
			3 5 4 C

審査請求 未請求 請求項の数13 O L (全 29 頁)

(21)出願番号 特願2000-202142(P2000-202142)

(22)出願日 平成12年7月4日(2000.7.4)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 矢幡 秀治

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 堀口 真志

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74)代理人 100085811

弁理士 大日方 富雄

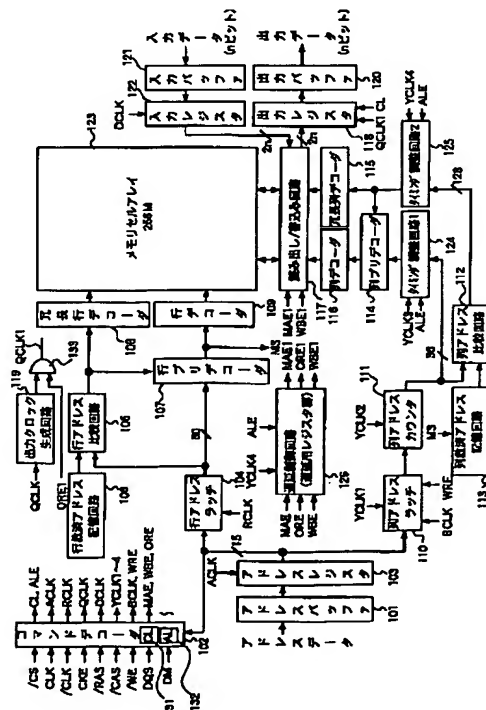
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 従来のダブルデータレート・シンクロナスD R A Mにおいては、動作開始コマンドが投入されてから例えば2サイクル後に投入される読出しコマンドの投入サイクルが早くすると、列アドレスが前倒しに取り込まれてしまい、センスアンプでビット線のデータが増幅される前に、ビット線が選択されて、正しいデータが読み出されない。また、書き込みコマンドの投入サイクルが早くすると、書き込み回路に正しい書き込みデータが入力される前に、ビット線が選択されることになるため、正しいデータが書き込まれない。

【解決手段】 ダブルデータレート・シンクロナスD R A Mのようなクロック同期型のメモリにおいて、読出しまたは書き込みコマンドの投入サイクルを指定する値(前倒しレイテンシ)を設定可能なレジスタを設けるとともに、列アドレスラッチ回路(110)と列デコーダ(116)の間の列アドレス系の信号経路上に、前記レジスタに設定された前倒しレイテンシに応じて所定のサイクル時間だけ信号を遅延させるためのタイミング調整用レジスタ(124, 125)を設けるようにした。



## 【特許請求の範囲】

【請求項 1】 メモリセルが接続されたワード線とビット線を有するメモリセルアレイと、

外部から入力される行アドレスをラッチする行アドレスラッチ回路と、

行アドレスをデコードして前記メモリセルアレイ内のワード線を選択する行デコーダと、

外部から入力される列アドレスをラッチする列アドレスラッチ回路と、

列アドレスをデコードして前記メモリセルアレイ内のビット線を選択する列デコーダと、

前記メモリセルアレイから読み出されたデータを外部に出力する出力バッファと、

外部から入力されるデータを取り込む入力バッファと、前記入力バッファおよび出力バッファにおけるデータの取込みタイミングおよびデータの出力タイミングを指定する値を設定可能な第 1 のレジスタとを備え、

前記入力バッファおよび出力バッファは前記第 1 のレジスタに設定された値に応じて動作のタイミングが決定されるように構成されてなる半導体記憶装置において、データの読出し指令または書込み指令の投入タイミングを指定する値を設定可能な第 2 のレジスタを設けるとともに、

前記列アドレスラッチ回路と前記列デコーダとの間の列アドレス系信号経路上には、前記第 2 のレジスタに設定された値に応じて所定の時間だけ信号を遅延させるためのタイミング調整回路を設けたことを特徴とする半導体記憶装置。

【請求項 2】 外部から供給される制御信号に基づいて内部回路の制御に用いられる内部制御信号を生成する回路と、前記第 2 のレジスタに設定された値に応じて所定のサイクル時間だけ前記内部制御信号を遅延させるための遅延制御回路とが設けられ、前記タイミング調整回路は前記遅延制御回路で調整された内部制御信号によって制御されて列アドレス系の信号のタイミング調整を行なうように構成されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記内部制御信号に基づいて前記出力バッファの動作タイミングを与える信号を生成する回路を備え、該回路は前記遅延制御回路で生成された内部制御信号によって制御され、前記第 2 のレジスタに設定された値に応じて発生する信号を遅延可能に構成されていることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記列アドレスラッチ回路にラッチされた列アドレスを自動的に更新する列アドレスカウンタを備え、

前記タイミング調整回路は前記列アドレスカウンタと前記列デコーダとの間の列アドレス系信号経路上に設けられていることを特徴とする請求項 1～3 に記載の半導体記憶装置。

【請求項 5】 前記列アドレスラッチ回路にラッチされた列アドレスを自動的に更新する列アドレスカウンタを備え、

前記タイミング調整回路は前記列アドレスラッチ回路と前記列アドレスカウンタとの間に設けられていることを特徴とする請求項 1～3 に記載の半導体記憶装置。

【請求項 6】 前記メモリセルアレイの正規のメモリ列と置換可能な複数の予備メモリ列と、不良を有するメモリ列のアドレスを記憶可能な救済アドレス記憶回路と、入力された列アドレスと前記救済アドレス記憶回路に記憶されたアドレスとを比較するアドレス比較回路と、該アドレス比較回路の比較結果に基づく信号をデコードして前記予備メモリ列のいずれかを選択する冗長列デコーダとをさらに備え、

前記列アドレス比較回路は前記列アドレスカウンタから出力されるアドレスとを前記救済アドレス記憶回路に記憶されたアドレスとを比較するように構成され、

前記アドレス比較回路と前記冗長列デコーダとの間の信号経路上に第 2 のタイミング調整回路が設けられていることを特徴とする請求項 1 ないし 5 に記載の半導体記憶装置。

【請求項 7】 前記列デコーダの前段に前記列アドレスをプリデコードする列プリデコーダを備えた半導体記憶装置であって、

前記タイミング調整回路は前記列アドレスカウンタと前記列プリデコーダとの間に、また前記第 2 のタイミング調整回路は前記列アドレス比較回路と前記列プリデコーダとの間にそれぞれ設けられていることを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 前記列デコーダの前段に前記列アドレスをプリデコードする列プリデコーダを備えた半導体記憶装置であって、

前記タイミング調整回路は前記列プリデコーダと前記列デコーダとの間に、また前記第 2 のタイミング調整回路は前記列アドレス比較回路と前記列デコーダとの間にそれぞれ設けられていることを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 9】 前記メモリセルアレイの正規のメモリ列と置換可能な複数の予備メモリ列と、不良を有するメモリ列のアドレスを記憶可能な救済アドレス記憶回路と、入力された列アドレスと前記救済アドレス記憶回路に記憶されたアドレスとを比較するアドレス比較回路と、該アドレス比較回路の比較結果に基づく信号をデコードして前記予備メモリ列のいずれかを選択する冗長列デコーダとをさらに備え、

前記列アドレスラッチ回路と前記アドレス比較回路との間に前記第 3 のタイミング調整回路が設けられていることを特徴とする請求項 6～8 に記載の半導体記憶装置。

【請求項 10】 外部から供給されるコマンドに基づいて動作する半導体記憶装置であって、前記第 2 のレジ

タに設定される値は、動作開始コマンドが投入された後に投入される前記読出しまたは書き込みコマンドが前倒しに投入されるべきサイクル数を指定する値であることを特徴とする請求項 1～9 に記載の半導体記憶装置。

【請求項 11】 前記第 2 のレジスタに設定される値は、外部から供給される前記コマンドが前記第 2 のレジスタへの設定を指示している時に外部からのアドレスが入力される端子の状態に基づいて設定されることを特徴とする請求項 10 に記載の半導体記憶装置。

【請求項 12】 前記タイミング調整回路は、信号遅延手段を有する遅延経路と、信号遅延手段を有さず入力された信号をそのまま出力するスルー経路と、前記第 2 のレジスタに設定された値に応じて入力信号を前記複数の経路のいずれを通過させるか切り換える切換手段とにより構成されていることを特徴とする請求項 1～11 に記載の半導体記憶装置。

【請求項 13】 前記タイミング調整回路の信号遅延手段を有する前記遅延経路には、前記内部制御信号によって動作するマスタスレーブ構成のラッチ手段が配置されてなることを特徴とする請求項 12 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック信号に同期してパイプライン方式でリード・ライト動作を行う半導体記憶装置に関し、例えばシンクロナス DRAM（ダイナミック・ランダム・アクセス・メモリ）またはダブルデータレート・シンクロナス DRAM 等に適用して有効な技術に関する。

【0002】

【従来の技術】近年、プロセッサの急速な動作周波数の向上に伴い、DRAM に対する要求はアクセス時間の短縮だけでなく、データ転送速度の高速化要求も高まってきた。それに伴い、クロック信号（以下、クロックと略す）に同期して動作するシンクロナス DRAM が開発され、さらなる高速化のためクロックの立上がりと立下がりのそれぞれにおいてデータを入出力する DDR（ダブルデータレート）方式のシンクロナス DRAM 等が提案され、DRAM の主流となりつつある。

【0003】図 29 には、従来のダブルデータレート・シンクロナス DRAM の一般的な構成を、また図 30 にはその読み出し時のタイミングチャートを、さらに図 31 には書き込み時のタイミングチャートを示す。このような構成を有するダブルデータレート・シンクロナス DRAM は、1999 アイ・エス・エス・シー・シーダイジェスト オブ テクニカルペーパーズの第 412 頁～第 413 頁（1999 IEEE Internal Solid-State Circuit Conference WP24.2 “A 2.5V 333Mb/s/pin 1Gb Double Data Ra

te SDRAM”、p. 412～p. 413）等に記載されている。

【0004】図 29 に示される従来の半導体記憶装置は、メモリセルアレイ 123 と、外部から入力されるアドレスをラッチするアドレスバッファ 101 と、前記アドレスバッファ 101 により取り込まれたアドレスをラッチするアドレスレジスタ 103 と、行アドレスをデコードしてワード線を選択する行アドレスデコーダ 109 と、列アドレスをデコードしてビット線を選択する列アドレスデコーダ 116 と、前記アドレスバッファ 101 の出力を受けて行アドレスを前記行アドレスデコーダ 109 に伝える行アドレスラッチ 104 と、内部で列アドレスを変更する列アドレスカウンタ 111 と、前記アドレスバッファ 101 の出力を受けて列アドレスを前記列アドレスカウンタ 111 に伝える列アドレスラッチ 110 と、外部からの制御信号を受けて内部の制御信号を生成するコマンドデコーダ 102 と、前記メモリセルアレイ 123 から読み出されたデータを外部に出力する出力バッファ 120 と、前記出力バッファ 120 から出力されるデータのタイミングを制御する出力クロック生成回路 119 と、外部から入力されるデータを受ける入力バッファ 121 と、前記メモリセルアレイ 123 から読み出されたデータを前記出力バッファ 120 に伝える、または前記入力バッファ 121 からのデータを前記メモリセル 123 に書き込む読み出し／書き込み回路 117 などから構成されている。シンクロナス DRAM の特徴の 1 つは、コマンドコード（以下、単にコマンドと称する）によって、CAS レイテンシ（カラムアドレスが取り込まれてからリードデータが出力されるまでのクロックサイクル数）を設定できる点がある。

【0005】図 29 の DRAM におけるデータの読み出し動作を図 30 を参照して説明する。図 30 は、動作開始を指示する ACTV コマンドから読出しまたは書き込みを指示する READ コマンドまたは WRITE コマンド（以下、両コマンドを区別しない場合はカラムコマンドと称する）までのクロックサイクル数（ $t_{RC}$ ）が 2 サイクル、CAS レイテンシ CL が 2 サイクルの場合のタイミングチャートである。図 30 に示されているように、ACTV コマンドが投入されると同時に行アドレスがアドレスバッファ 101 から内部に取り込まれ、ACTV コマンドを受けてコマンドデコーダ 102 から出力された ACLK でアドレスレジスタ 103 にラッチされる。さらに、ACTV コマンドを受けてコマンドデコーダ 102 から出力されるクロック RCLK によって行アドレスが行アドレスラッチ 104 にラッチされる。その後、行アドレス信号は行デコーダ 109 にてデコードされ、行アドレスの値に応じたワード線を選択する。ワード線が選択されると、選択されたワード線につながるメモリセルからビット線へとデータが出力される。十分にビット線にデータが出力されたところで、センスアンプ

が起動され、ビット線電位が増幅される。

【0006】ACTVコマンドが投入されてから、2サイクル後にREADコマンドが投入される。それと同時に列アドレスがアドレスバッファ101から内部に取り込まれ、READコマンドを受けてコマンドデコーダ102から出力されたクロックCLKでアドレスレジスタ103にラッチされる。さらに、READコマンドを受けてコマンドデコーダ102から出力されたクロックYCLK1で列アドレスが列アドレスラッチ110にラッチされる。その後、列アドレス信号は列アドレスカウンタ111を通り、列デコーダ116にてデコードされて、列アドレスの値に応じたビット線を選択する。このとき、ビット線がセンスアンプにより十分に増幅されていることが、ビット線を選択できる条件になる。ビット線選択後、ビット線のデータは読み出し回路117を通り、出力バッファ120から外部に出力される。このとき、読み出しデータが出力バッファ120から外部に出力されるタイミングは、出力クロック生成回路119から生成されたQCLK1によって決められる。また、ダブルデータレート・シンクロナスDRAMでは、読み出し回路117から出力バッファ120へ出力ビット数

(n)の2倍の2nビットのデータが読み出され、クロックの立上りと立下りのそれぞれのエッジに同期してnビットずつデータが出力される。なお、図30において、列デコーダ入力とカラムセレクト信号が2つずつ示されているのは、バーストモードなどで列アドレスカウンタ111により連続したアドレスが生成されそれに基づいてリード動作をする場合を示しているためである。

【0007】図31には図29のDRAMにおいて、tRCDが2サイクル、CASレイテンシが2サイクルの場合のデータ書き込み時のタイミングチャートを示す。図31に示されているように、書き込み時にはACTVコマンドが投入されるのと同時に行アドレスが内部に取り込まれ、行デコーダ109で行アドレスがデコードされてワード線が選択され、メモリセルのデータがビット線に出力される。十分にビット線が開いたところで、センスアンプが起動され、ビット線電位が増幅される。

【0008】また、ACTVコマンドが投入されてから、2サイクル後にWRITEコマンドが投入され、WRITEコマンドが投入されるのと同時に列アドレスが内部に取り込まれる。その後、読み出し時と同様に列アドレスがデコードされてビット線が選択される。書き込みデータは、WRITEコマンドが投入されてから(CASレイテンシー-1)=1サイクルで外部より取り込まれる。このとき、ダブルデータレート・シンクロナスDRAMではクロックの立上りと立下りの両エッジでそれぞれnビットの書き込みデータが入力バッファ121により内部に取り込まれ、2nビットとして書き込み回路117を通してメモリセルアレイ123へと送られ、選択されたビット線を通して、メモリセルへと書込まれる。

【0009】

【発明が解決しようとする課題】前記したダブルデータレート・シンクロナスDRAMは、クロックの立上りと立下りの両エッジでそれぞれリードデータの出力とライトデータの取込みを行なうため、データ転送速度が向上されるという利点を有するものの、コマンドに関しては図30や図31に示されているように、ACTVコマンド入力からカラムコマンドの入力まで1サイクル空いてしまうためコマンドの転送効率が低く、コマンドを出力するCPUはACTVコマンド出力後1サイクル待機してからカラムコマンドを出力することとなるため、システム全体の性能が充分に上がらないという不具合がある。

【0010】そこで、ACTVコマンド投入後に投入されるカラムコマンドの投入タイミングを1サイクル前倒しにして投入する方式のシンクロナスDRAMについて検討した。カラムコマンドの投入タイミングを1サイクル前倒しすることで、CPUは1サイクル早く他の処理へ移行することができるようになるため、システム全体の性能が向上するという利点がある。しかも、この場合、前倒しのレイテンシを可変とすることで、各種システムへの対応が可能となる。

【0011】しかしながら、このような、カラムコマンドの前倒し投入を実現するには、図29に示されているような構成のダブルデータレート・シンクロナスDRAM等では不可能であることが分かった。具体的には、READコマンドが前倒しに投入されることにより、列アドレスも前倒しに投入されてしまい、センスアンプでビット線のデータが増幅される前に、ビット線が選択されることになる。この結果、正しいデータが読み出されない。また、WRITEコマンドが前倒しに投入されることにより、書き込み回路に正しい書き込みデータが入力される前に、ビット線が選択されることになり、正しいデータが書き込まれないためである。

【0012】本発明の目的は、読出しコマンドや書き込みコマンドが前倒しに投入され、列アドレスが前倒しに投入された場合でも、正しいデータの読出しおよび書き込みが可能なクロック同期型の半導体記憶装置を提供することにある。

【0013】この発明の他の目的は、サイクル時間を短縮してデータ転送速度を高速化することができるクロック同期型の半導体記憶装置を提供することにある。

【0014】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0016】前記目的を達成するために、本発明に係る

半導体記憶装置は、ダブルデータレート・シンクロナス DRAM のような半導体メモリにおいて、読出しまたは書込みコマンドの投入サイクルを指定する値（前倒しレイテンシ）を設定可能なレジスタを設けるとともに、列アドレスラッチ回路と列デコーダの間の列アドレス系の信号経路上に、前記レジスタに設定された前倒しレイテンシに応じて所定のサイクル時間だけ信号を遅延させるためのタイミング調整用レジスタを設けるようにした。

【0017】すなわち、メモリセルが接続されたワード線とビット線を有するメモリセルアレイと、外部から入力される行アドレスをラッチする行アドレスラッチ回路と、行アドレスをデコードして前記メモリセルアレイ内のワード線を選択する行デコーダと、外部から入力される列アドレスをラッチする列アドレスラッチ回路と、列アドレスをデコードして前記メモリセルアレイ内のビット線を選択する列デコーダと、前記メモリセルアレイから読み出されたデータを外部に出力する出力バッファと、外部から入力されるデータを取り込む入力バッファと、前記入力バッファおよび出力バッファにおけるデータの取込みタイミングおよびデータの出力タイミングを指定する値を設定可能な第1のレジスタとを備え、前記入力バッファおよび出力バッファは前記第1のレジスタに設定された値に応じて動作のタイミングが決定されるように構成されてなる半導体記憶装置において、データの読出し指令または書込み指令の投入タイミングを指定する値を設定可能な第2のレジスタを設けるとともに、前記列アドレスラッチ回路と前記列デコーダとの間の列アドレス系信号経路上には、前記第2のレジスタに設定された値に応じて所定の時間だけ信号を遅延させるためのタイミング調整回路を設けたものである。

【0018】上記手段によれば、前記第2のレジスタに設定された値（カラムコマンド前倒しレイテンシの値）に応じて前記タイミング調整回路が列アドレス系の信号の伝搬遅延時間を制御できるため、読出し指令または書込み指令（カラムコマンド）が前倒しに投入されることにより列アドレスが前倒しに取り込まれた場合でも、ビット線の電位が増幅されるタイミングに合わせて、列アドレスデコーダによるビット線選択が行なわれ、正しいデータを読み出すことができる。さらに、入力バッファにより書き込みデータが取り込まれた後に、ビット線が選択されることになり、選択されたワード線に接続されているメモリセルに正しいデータを書き込むことができる。

【0019】また、第1のレジスタに設定される値（CAS レイテンシ）が変更されても、第2のレジスタに設定された値（カラムコマンド前倒しレイテンシの値）は独立に設定されており、これにより前記タイミング調整回路も独立に制御されるため、正しい動作が保証される。さらに、第1のレジスタの設定値（CAS レイテンシ）が変更されず第2のレジスタの設定値（カラムコマ

ンド前倒しレイテンシの値）が変更された場合でも、第1のレジスタの設定値（CAS レイテンシ）とは独立に制御される前記タイミング調整回路により、列アドレス系の信号の伝搬遅延時間が調整され、ビット線の電位が増幅されるタイミングおよび書込みデータが入力されるタイミングに合わせて、ビット線を選択できるので、正しい動作が保証される。

【0020】また、望ましくは、外部から供給される制御信号に基づいて内部回路の制御に用いられる内部制御信号を生成する回路と、前記第2のレジスタに設定された値に応じて所定のサイクル時間だけ前記内部制御信号を遅延させるための遅延制御回路とが設けられ、前記タイミング調整回路は前記遅延制御回路で調整された内部制御信号によって制御されて列アドレス系の信号のタイミング調整を行なうように構成する。これにより、前記タイミング調整回路を制御する信号を系統立てて効率良く生成することができる。

【0021】さらに、望ましくは、前記内部制御信号に基づいて前記出力バッファの動作タイミングを与える信号を生成する回路を設け、該回路は前記遅延制御回路で生成された内部制御信号によって制御され、前記第2のレジスタに設定された値に応じて発生する信号を遅延可能に構成する。これにより、前記タイミング調整回路および出力バッファの動作タイミングを与える信号を生成する回路を共通の信号で制御することができ、制御回路の構成を簡略化することができる。

【0022】なお、前記タイミング調整回路を設ける位置は前記列アドレスラッチ回路と前記列デコーダとの間であればどこでもよいが、前記列アドレスラッチ回路にラッチされた列アドレスを自動的に更新する列アドレスカウンタを備える場合、前記タイミング調整回路は前記列アドレスカウンタと前記列デコーダとの間の列アドレス系信号経路上あるいは前記列アドレスラッチ回路と前記列アドレスカウンタとの間に設けるのが望ましい。これにより、クロックに同期して動作する半導体記憶装置では、アドレスラッチおよびアドレス更新動作と列アドレスのデコード動作とを別のサイクルに分散して実行させることで、サイクルタイムの短縮が可能となる。

【0023】また、前記メモリセルアレイの正規のメモリ列と置換可能な複数の予備メモリ列と、不良を有するメモリ列のアドレスを記憶可能な救済アドレス記憶回路と、入力された列アドレスと前記救済アドレス記憶回路に記憶されたアドレスとを比較するアドレス比較回路と、該アドレス比較回路の比較結果に基づく信号をデコードして前記予備メモリ列のいずれかを選択する冗長列デコーダとをさらに備える場合には、前記列アドレス比較回路は前記列アドレスカウンタから出力されるアドレスとを前記救済アドレス記憶回路に記憶されたアドレスとを比較するように構成され、前記アドレス比較回路と前記冗長列デコーダとの間の信号経路上に第2のタイミ

ング調整回路を設けるようにしてもよい。第2のタイミング調整回路を設けることにより、列アドレス系の信号の伝達タイミングをより最適に制御することが可能となり、タイミングクロックに同期して動作する半導体記憶装置では、アドレスラッチおよびアドレス更新動作並びにアドレス比較動作と列アドレスのデコード動作とを別のサイクルに分散して実行させることで、サイクルタイムの短縮が可能となる。

【0024】さらに、前記列デコーダの前段に前記列アドレスをプリデコードする列プリデコーダを備える場合には、前記タイミング調整回路は前記列アドレスカウンタと前記列プリデコーダとの間に、また前記第2のタイミング調整回路は前記列アドレス比較回路と前記列プリデコーダとの間にそれぞれ設けるようにする。タイミング調整回路は列デコーダに近いほどその数が増えるが、このような構成により、タイミング調整回路の回路規模を増大させることなく、サイクルタイムの短縮が可能となる。

【0025】ただし、前記列デコーダの前段に前記列アドレスをプリデコードする列プリデコーダを備える場合には、前記タイミング調整回路は前記列プリデコーダと前記列デコーダとの間に、また前記第2のタイミング調整回路は前記列アドレス比較回路と前記列デコーダとの間にそれぞれ設けることも可能である。タイミング調整回路は列デコーダに近いほど最適な動作配分が容易となるので、このような構成により、多少回路規模は大きくなるが、一層サイクルタイムの短縮が可能となる。

【0026】さらに、前記メモリセルアレイの正規のメモリ列と置換可能な複数の予備メモリ列と、不良を有するメモリ列のアドレスを記憶可能な救済アドレス記憶回路と、入力された列アドレスと前記救済アドレス記憶回路に記憶されたアドレスとを比較するアドレス比較回路と、該アドレス比較回路の比較結果に基づく信号をデコードして前記予備メモリ列のいずれかを選択する冗長列デコーダとをさらに備える場合、前記列アドレスラッチ回路と前記アドレス比較回路との間に前記第3のタイミング調整回路を設けるようにしても良い。これにより、一層最適な動作配分が可能となり、より一層サイクルタイムの短縮が可能となる。

【0027】また、外部から供給されるコマンドに基づいて動作する半導体記憶装置である場合、前記第2のレジスタに設定される値は、動作開始コマンドが投入された後に投入される前記読出しまたは書込みコマンドが前倒しに投入されるべきサイクル数を指定する値とする。これにより、既存のダブルデータレート・シンクロナスDRAMのようなクロック同期型メモリにおいて、サイクルタイムの短縮が可能となる。

【0028】さらに、前記第2のレジスタに設定される値は、外部から供給される前記コマンドが前記第2のレジスタへの設定を指示している時に外部からのアドレス

が入力される端子の状態に基づいて設定されるように構成する。これにより、何ら新たな外部端子を設けることなく前記第2のレジスタへの設定が可能となる。

【0029】また、望ましくは、前記タイミング調整回路は、信号遅延手段を有する遅延経路と、信号遅延手段を有さず入力された信号をそのまま出力するスルー経路と、前記第2のレジスタに設定された値に応じて入力信号を前記複数の経路のいずれを通過させるか切り換える切換え手段とにより構成する。これにより、比較的簡単な回路構成で制御が容易なタイミング調整回路を実現することができる。

【0030】さらに、望ましくは、前記タイミング調整回路の信号遅延手段を有する前記遅延経路には、前記内部制御信号によって動作するマスタスレーブ構成のラッチ手段を配置する。これにより、回路を制御するクロック信号のキューなどによりタイミング調整回路の入力端子から出力端子へ入力信号がすり抜けて所望の遅延が得られなくなってしまうのを確実に防止することができる。

【0031】

【発明の実施の形態】以下、本発明に係る半導体記憶装置の好適な実施の形態について、添付図面を用いて説明する。

【0032】図1は、本発明を適用したダブルデータレート・シンクロナスDRAMの第1の実施形態を示すブロック図である。

【0033】図1のDRAMは、複数のメモリセルがマトリックス状に配置された例えば4つのバンクからなり全体で256メガビットのような記憶容量を有するメモリセルアレイ123と、外部から入力されるアドレスデータ（以下、アドレスと略す）をマルチプレックス方式で内部に取り込むアドレスバッファ101と、前記アドレスバッファ101により取り込まれたアドレスをラッチするアドレスレジスタ103と、前記アドレスレジスタ103にラッチされたアドレスのうち行アドレスをラッチする行アドレスラッチ104と、フューズを用いて行アドレスの救済アドレスを記憶する行救済アドレス記憶回路106と、前記救済アドレスと行アドレスを比較する行アドレス比較回路105と、行アドレスをプリデコードする行アドレスプリデコーダ107と、行アドレスをデコードしてメモリアレイ123内の対応するワード線を選択する冗長行アドレスデコーダ108および行アドレスデコーダ109と、前記アドレスレジスタ103にラッチされたアドレスのうち列アドレスをラッチする列アドレスラッチ110と、ラッチされた列アドレスを内部で自動的に更新する列アドレスカウンタ111と、列アドレスの救済アドレスを記憶する列救済アドレス記憶回路113と、前記救済アドレスと列アドレスを比較する列アドレス比較回路112と、列アドレスをプリデコードする列アドレスプリデコーダ114と、列ア

ドレスをデコードしてメモリアレイ 123 内の対応するカラム（ビット線）を選択する冗長列アドレスデコーダ 115 および列アドレスデコーダ 116 と、外部から入力されるチップセレクト信号／CS などの制御信号を受けて内部の制御信号を生成するコマンドデコーダ 102 と、前記メモリアレイ 123 から読み出されたデータを外部に出力する出力バッファ 120 と、CAS レイテンシの値に応じて前記出力バッファ 120 にデータを送るタイミングが制御される出力レジスタ 118 と、前記出力レジスタ 118 から出力されるデータのタイミングを制御する出力クロック生成回路 119 と、外部から入力されるデータを受ける入力バッファ 121 と、CAS レイテンシの値に応じて前記入力バッファ 121 からのデータを前記メモリアレイ 123 に送るタイミングが制御される入力レジスタ 122 と、前記メモリアレイ 123 から読み出されたデータを前記出力レジスタ 118 に伝えるときに前記入力レジスタ 122 からのデータを前記メモリアレイ 123 に書き込むための読出し／書き込み回路 117 とを備えている。

【0034】前記コマンドデコーダ 102 に外部から入力される制御信号としては、チップを選択状態にする前記チップセレクト信号／CS の他、互いに逆相の一对のクロック CLK、／CLK、クロックが有効であることを示すクロックイネーブル信号 CKE、行アドレスストロブ信号／RAS（以下、RAS 信号と称する）、列アドレスストロブ信号／CAS（以下、CAS 信号と称する）、データの書き込み動作を指示するライトイネーブル信号／WE、データの入出力を指示するデータストロブ信号 DQS、データの入出力を禁止するデータマスク信号 DM などがある。これらの信号のうち符号の前に“／”が付されているものは、ロウレベルが有効レベルであることを意味している。コマンドデコーダ 102 はこれらの制御信号のうち CKE、／CS、／RAS、／CAS、／WE とアドレス信号の一部をデコードして、入力コマンドを理解して CAS レイテンシ等が設定されていることを示す信号 CL、ALE、読出し／書き込み回路 117 に対する読出しや書き込みのタイミングを与える内部制御信号 MAE、WBE、列アドレスラッチ回路 110 に対するラッチタイミングを与える制御信号 WRE などとを生成して出力するとともに、クロック CL、／CLK に基づいて互いに位相や周期の異なる複数種類の内部クロック ACLK、BCLK、QCLK、RCLK、DCLK、YCLK1～4 を生成して所望の内部回路に供給する。また、前記コマンドデコーダ 102 内には、入力コマンドのうちモードレジスタへの設定を指示する MRS コマンドに応じて設定される CAS レイテンシの値 CL を保持する CL 設定レジスタ 131 が設けられている。

【0035】また、この実施形態においては、前記コマンドデコーダ 102 内に、モードレジスタへの設定を指

示する MRS コマンドによって設定されるカラムコマンドの前倒しレイテンシすなわち ACTV コマンドに対する通常のカラムコマンドの投入サイクルを何サイクル前に持ってくるかを示す値 AL を保持する AL 設定レジスタ 132 が設けられている。

【0036】さらに、コマンドデコーダ 102 から生成されるクロック QCLK に基づいて、出力レジスタ 118 のラッチタイミングを与える信号 QCLK1 を形成するため公知の DLL（Digital Locked Loop）回路等で構成された出力クロック生成回路 119 が設けられている。DLL 回路は、信号の伝送遅延時間を変化可能な可変遅延回路と本来の読出し信号のパスと遅延時間が等しくなるように構成されたレプリカ回路と、前記可変遅延回路の入力信号の位相と可変遅延回路を通った信号をさらに前記レプリカ回路を通して遅延させた信号の位相とを比較して位相が一致するように前記可変遅延回路の遅延時間を調整できるように構成された回路である。

【0037】この実施形態においては、前記出力クロック生成回路 119 の後段に、出力クロック生成回路 119 で生成された信号と遅延制御回路 126 で遅延された信号 ORE1 を入力とする 2 入力 AND ゲート 133 が設けられており、信号 ORE1 がイネーブル（ハイレベル）の場合は、出力クロック生成回路 119 の出力が QCLK1 として出力され、ORE1 がディセーブル（ローレベル）の場合は、QCLK1 はローレベルに固定されるようになっている。

【0038】さらに、この実施形態においては、前記列プリデコーダ 114 の前段に、設定された前倒しレイテンシ AL に応じた遅延を与えるための第 1 のタイミング調整回路 124 が、また前記列アドレス比較回路 112 と前記列プリデコーダ 114 の間に同様の機能を有する第 2 のタイミング調整回路 125 が配置されている。また、前記コマンドデコーダ 102 より出力されるクロック YCLK4 および制御信号 ALE に基づいて同じく前記コマンドデコーダ 102 より出力されるタイミング制御信号 MAE、ORE、WBE を適宜遅延した信号 MAE1、ORE1、WBE1 を形成するための遅延制御回路 126 が設けられている。

【0039】図 2 は前記遅延制御回路 126 の具体的な回路例を示す。

【0040】この遅延制御回路 126 は、コマンドデコーダ 102 から供給される信号 MAE、ORE、WBE をそれぞれ入力とし内部クロック YCLK4 と信号 ALE を制御信号とする 1 ビットの遅延用レジスタ 201、202、203 によって構成されている。これらのレジスタ 201～203 はそれぞれ入力信号 MAE、ORE、WBE を信号 ALE に応じて遅延させるためのものであり、このうちレジスタ 201 は、図 3（A）の（b）に示すように、信号 ALE がローレベルすなわち

10

20

30

40

50



ALが“0”のときは信号スルー状態となって入力信号MAEを僅かに遅延させた信号MAE1として出力し、信号ALEがハイレベルすなわちALが“1”のときは入力信号MAEをクロックYCLK4でラッチしてクロック1周期分だけ遅延させた信号MAE1として出力させるように構成されている。

【0041】また、レジスタ202は、図3(B)の(b)に示すように、ALが“0”のときは信号スルー状態となって入力信号OREを僅かに遅延させた信号ORE1として出力し、ALが“1”のときは入力信号OREをクロックYCLK4でラッチしてクロック1周期分だけ遅延させた信号ORE1として出力させるように構成されている。なお、信号WBEはレジスタ203により信号MAEと同様に遅延されるので、図示を省略する。

【0042】さらに、前述の出力クロック生成回路119の後段に設けられた入力ANDゲート133には、前記レジスタ202で遅延された信号OBE1が入力されているため、ALが“0”のときは出力クロック生成回路119で生成された信号を僅かに遅延させた信号QCLK1として出力し、ALが“1”のときはクロック1周期分だけ遅延させた信号QCLK1として出力するように動作する。ここで、出力クロック生成回路119の入力信号QCLKはクロックであるので、出力信号QCLK1は、ALに応じて図3(A)に示す信号MAE1と同じような波形となる。

【0043】図4は前記列アドレスラッチ回路110の具体的な回路構成例を示す。なお、図4の列アドレスラッチ回路110はアドレス1ビットに対応する構成であり、かかる回路が列アドレスのビット数分だけ設けられる。

【0044】図4のアドレスラッチ回路110は、クロックドインバータ602~604からなりクロックBCLKによって動作するマスタラッチLT1とクロックドインバータ605~607からなりクロックBCLKによって動作するスレーブラッチLT2とからなるマスタスレーブ構成のフリップフロップFF1と、クロックドインバータ609~611からなり前段フリップフロップFF1の出力を入力としクロックYCLK1によって動作するラッチLT3と、クロックドインバータ612~615からなり前記フリップフロップFF1の入力と同一の信号を入力としクロックYCLK1によって動作するラッチLT4とから構成されている。そして、出力部には、コマンドデコーダ102からの制御信号WREに応じて前記ラッチLT3またはLT4の出力信号を選択して出力させるクロックドインバータ616および617が設けられている。

【0045】図4の回路には、入力信号INとして列アドレスの1ビットが供給され、フリップフロップFF1にラッチされる。しかして、出力は制御信号WREのレ

ベルに応じて選択されるので、制御信号WREがハイレベルにされるデータ書込み時にはインバータ616が有効にされてフリップフロップFF1にラッチされたアドレスが出力され、制御信号WREがロウハイレベルにされるデータ読出し時にはインバータ617が有効にされてラッチLT4のみを経由したアドレスが出力される。これによって、列アドレスラッチ回路110は、データ書込み時には読出し時よりも1サイクルすなわちクロックBCLKの1周期分遅いタイミングで入力アドレスを出力端子OUTへ伝達させるように制御される。

【0046】なお、図4において、各ラッチLT1~LT4を構成するインバータのうち、604, 607, 611, 615は通常の2素子のCMOSインバータであり、それら以外および出力選択用インバータ616, 617はクロックドインバータである。また、インバータ601, 608, 612はクロックドインバータを制御するためクロックBCLK, YCLK1の逆相のクロックを形成するためのもの、618は制御信号WREの逆相の信号を形成するためのもので、それぞれ通常のインバータで構成されている。図5に本実施形態で用いられるクロックドインバータの具体例を示す。

【0047】図5に示すように、クロックドインバータは電源電圧Vccと接地電位GNDとの間に直列形態に接続されたPチャネルMOSFET301, 302とNチャネルMOSFET303, 304とから構成され、MOSFET302と303のゲート端子に入力信号が印加され、MOSFET301と304のゲート端子には互いに逆相のクロックCK, /CKが印加されることにより、クロックCKがハイレベルの期間は電流が遮断されてインバータとして動作しないようにされる。ここで、CKは図4の回路ではクロックBCLK, YCLK1に相当する。

【0048】図6は図1におけるタイミング調整回路124, 125の具体的な回路構成例を示す。なお、図6の回路はアドレス1ビットに対応する構成であり、タイミング調整回路124はかかる回路が列アドレスのビット数分だけ、またタイミング調整回路125はかかる回路が予備メモリ列の数分(32×4=128本)だけ設けられる。

【0049】図6のタイミング調整回路は、タイミング信号ALEによって入力信号INを相補的に伝達するクロックドインバータ702, 703と、クロックドインバータ704およびインバータ705からなりコマンドデコーダ102からの制御信号ALEによって入力信号INをラッチするラッチLT11と、インバータ715, クロックドインバータ716からなりタイミング信号ALEによって入力信号INをLT11と相補的にラッチするラッチLT12と、クロックドインバータ703を通過した信号を遅延させる第1のタイミング調整用遅延回路717と、706~711からなりクロックY



CLK3またはYCLK4によって動作して前記タイミング調整用遅延回路717で遅延された信号をラッチするマスタスレーブ構成のフリップフロップからなるレジスタ719と、該レジスタ719でラッチされた信号を遅延させる第2のタイミング調整用遅延回路718とを備えている。そして、出力部には、前記制御信号ALEに応じて前記タイミング調整用遅延回路718またはクロックドインバータ702の出力信号を相補的に選択して出力させるクロックドインバータ712および713が設けられている。

【0050】前記タイミング調整用遅延回路717、718は、例えば複数のインバータを直列に接続して各ゲート遅延時間の和に相当する遅延時間を有する回路として構成される。この遅延用インバータ列には、タイミング調整回路の配置場所やタイミング調整回路に入力される信号種、それぞれの場合に応じて適当な段数が割り当てられる。なお、図2に示されている遅延用レジスタ201、202、203も図6と同様な回路で構成することができる。

【0051】図6のタイミング調整回路124、125は、AL=0の場合は、ALEがロー固定とされるため、制御信号ALEとそれをインバータ701より反転した信号ALEにより、クロックドインバータ703、712がディスエーブル、またクロックドインバータ702、713がイネーブルとなり、ラッチLT12によるノードN701のラッチ状態が解除され、インバータ702と713とを直結するスルーパスが選択され、入力信号INはほとんど遅延されることなく出力される。なお、このとき、クロックドインバータ704がイネーブルとなり、ノードN702がラッチLT11により固定状態にされる。

【0052】一方、AL=1の場合は、制御信号ALEはハイ固定とされるため、ALEとそれをインバータ701により反転した信号により、クロックドインバータ702、713がディスエーブルとなり、クロックドインバータ703、712がイネーブルとなり、ラッチLT11によるノードN702のラッチ状態が解除され、タイミング調整用遅延回路717を含む遅延側信号パスが選択される。このとき、クロックドインバータ716がイネーブルとなり、ノードN701がラッチLT12により固定状態にされる。また、AL=1の場合、コマンドデコーダ102からクロックYCLK3またはYCLK4が入力され、入力信号INはレジスタ719で一旦ラッチされることで、YCLK3またはYCLK4の1サイクル分遅延されて出力される。なお、タイミング調整用遅延回路717および718は、タイミング調整回路124または125の配置場所や入力される信号の種類等、それぞれの条件に応じて最適なタイミングの信号が得られるような遅延を与えるように構成される。

【0053】図7はタイミング調整回路124、125

の具体的な回路の第2の実施例を示す。この実施例のタイミング調整回路124、125の構成は、図6のタイミング調整回路124、125の構成と比較的類似している。異なるのは、図6におけるタイミング調整用遅延回路717および718の代わりに遅延時間を調整可能なタイミング可変回路817、818を用いるとともに、タイミング可変回路817をクロックドインバータ703の後段ではなく前段に、またタイミング可変回路818をクロックドインバータ712の前段ではなく後段に、それぞれ設けている点のみである。

【0054】基本的な動作は図6の回路と同様であり、AL=0の場合は、インバータ702と713とを直結するスルーパスが選択され、入力信号INはほとんど遅延されることなく出力される。AL=1の場合、入力信号INはレジスタ719で一旦ラッチされることで、YCLK3またはYCLK4の1サイクル分遅延されて出力される。

【0055】前記タイミング可変回路817および818は、例えば図9に示すような構成とされる。同図より分かるように、タイミング可変回路817および818は、図6の遅延用タイミング調整回路124、125におけるレジスタ719とタイミング調整用遅延回路717または718のいずれか一方を省略したような構成を備えている。これにより、タイミング可変回路817および818は、制御信号ALEの状態すなわちALの値に応じて、入力信号のタイミングを調整して出力する作用をなす。

【0056】図8はタイミング調整回路124、125の具体的な回路の第3の実施例を示す。

【0057】この実施例のタイミング調整回路124

(125)は、制御信号ALEに応じてクロックYCLK3(YCLK4)またはそれをインバータ901で反転した信号のいずれかを選択するNORゲート902、903と、入力信号INを遅延させる第1のタイミング可変回路910と、タイミング可変回路910の出力をラッチするマスタスレーブ構成のフリップフロップからなるレジスタ912と、レジスタ912の出力を遅延させる第2のタイミング可変回路911とから構成されている。前記タイミング可変回路910と911の構成は、図7の実施例で使用するとして図9に示されている回路と同一の構成を有する回路とすることができる。タイミング可変回路910、911は、ALの値に応じて、遅延時間が調整される。

【0058】この実施例のタイミング調整回路124

(125)は、AL=0の場合は、ALEはロー固定のため、NOR902、NOR903の出力はハイ固定となり、クロックドインバータ905、クロックドインバータ907がディスエーブルとなり、クロックドインバータ904、クロックドインバータ909がイネーブルとなり、ノードN901、ノードN902のラッチが解

10

20

30

40

50

除されてスループスが選択され、入力信号 IN はほとんど遅延されることなく出力される。一方、AL=1 の場合は、ALE はハイ固定のため、NOR902、NOR903 の出力は YCLK3 およびインバータ 901 より生成される ALE の反転信号に応じて変化する。そして、コマンドデコーダ 102 よりクロック YCLK3 (YCLK4) が入力されるため、レジスタ 912 で、入力信号 IN は 1 サイクル分遅延されて出力される。

【0059】次に、図 1 の DRAM の動作について説明する。図 10～図 13 には、ACTV コマンドが入力されてからカラムコマンドが入力されるまでの時間 tRC D が 2 サイクル、CAS レイテンシが 2 サイクルを前提として、図 10 にカラムコマンド前倒しレイテンシ AL が 0 すなわちカラムコマンドを ACTV コマンド入力から 2 サイクル後に入力する時の読み出し動作におけるタイミングチャートを、図 11 に AL が 0 の時の書き込み動作におけるタイミングチャートを、図 12 に AL が 1 すなわちカラムコマンドを ACTV コマンド入力から 1 サイクル後に入力する時の読み出し動作におけるタイミングチャートを、図 13 に AL が 1 の時の書き込み動作におけるタイミングチャートを示す。

【0060】まず、図 10 を参照しながら、AL が 0 の時の読み出し動作を説明する。ACTV コマンドが投入されると同時に行アドレスがアドレスバッファ 101 から内部に取り込まれ、ACTV コマンドを受けてコマンドデコーダ 102 から出力された ACLK でアドレスレジスタ 103 にラッチされる。さらに、ACTV コマンドを受けてコマンドデコーダ 102 から出力されるクロック RCLK によって行アドレスが行アドレスラッチ 104 にラッチされる。その後、行アドレス信号は行アドレス比較回路 105 に入力され、行救済アドレス記憶回路 106 に保存されている救済アドレスと比較され、一致または不一致が判断される。一致した場合は、行プリデコーダ 107 は非活性となり、冗長行デコーダ 108 により冗長ワード線が選択される。不一致の場合は、行プリデコーダ 107 が活性化され、行アドレスラッチ 104 の出力が行プリデコーダ 107 でプリデコードされ、その出力が行デコーダ 109 でデコードされてワード線が選択される。その後、選択されたワード線に接続されているメモリセルからビット線へとデータが出力され、ビット線の電位が十分に開いたところで、センスアンプが起動されたビット線の電位差が増幅される。

【0061】図 10 では、AL=0 の場合であるので、ACTV コマンドが投入されてから 2 サイクル後に READ コマンドが投入される。それと同時に列アドレスがアドレスバッファ 101 から内部に取り込まれ、READ コマンドを受けてコマンドデコーダ 102 から出力されたクロック ACLK でアドレスレジスタ 103 にラッチされる。さらに、READ コマンドを受けてコマンドデコーダ 102 から出力されたクロック YCLK1 で列

アドレスが列アドレスラッチ 110 にラッチされる。ここで、READ コマンドを受けてコマンドデコーダ 102 より生成されるライトレジスタイネーブル信号 WRE はロー固定とされるので、列アドレスは 1 サイクル分遅延されることなく、列アドレスラッチ 110 から出力される。

【0062】その後、列アドレスは列アドレスカウンタ 111 を通り、列アドレス比較回路 112 に入力されて、列救済アドレス記憶回路 113 に保存されている救済アドレスと比較され、一致または不一致が判断される。比較回路 112 からの出力は、第 2 タイミング調整回路 125 に入力されるが、AL=0 で ALE がロー固定とされるため、前記第 2 タイミング調整回路 125 をスルーする。また、第 1 タイミング調整回路 124 においても、ALE がロー固定であるため、列アドレスカウンタ 111 からの出力はスルーされ、列プリデコーダ 114 に入力される。比較回路 112 での比較の結果、一致した場合は、第 2 タイミング調整回路 125 の出力により、列プリデコーダ 114 は非活性となり、冗長列デコーダ 115 により冗長ビット線が選択される。不一致の場合は、第 2 タイミング調整回路 125 の出力により、列プリデコーダ 114 が活性化され、第 1 タイミング調整回路 124 の出力が、列プリデコーダ 114 でプリデコードされ、その出力が列デコーダ 116 でデコードされてビット線が選択される。

【0063】このとき、ビット線が十分に増幅されていることがビット線選択の条件である。ビット線が選択されることにより、ビット線のデータが読み出し回路 117 に入力される。その後、読み出し回路 117 でリードデータはさらに増幅され、出力レジスタ 118 に送られる。出力レジスタ 118 では、コマンドデコーダ 102 からの CAS レイテンシ情報信号 CL と出力クロック生成回路 119 から出力されたクロック QCLK1 に応じて、出力バッファ 120 にデータが送られ、外部に出力される。このとき、この実施形態のダブルデータレート・シンクロナス DRAM では、出力バッファ 120 に 2n ビットのデータが送られ、クロック QCLK1 の立上りエッジで半分の n ビットのデータが、また QCLK1 の立下りエッジで残りの n ビットのデータが出力される。

【0064】なお、前記読み出し動作において、読み出し回路イネーブル信号 MAE および出力クロック生成回路イネーブル信号 ORE は、READ コマンドを受けてコマンドデコーダ 102 から出力され、図 2 に示される遅延制御回路 126 内の遅延用レジスタ 201 および遅延用レジスタ 202 を通り、それぞれ MAE1、ORE1 として読み出し回路 117 および出力クロック生成回路 119 に供給される。ここでは、AL=0 であるので、ALE はロー固定とされるため、MAE、ORE は遅延用レジスタ 201 および遅延用レジスタ 202 をスルー

して、遅延されることなく遅延制御回路 126 から MAE1、ORE1 として出力される。

【0065】AL が 0 の時の書き込み動作は、図 11 に示すように、ACTV コマンドが投入されると同時に行アドレスが内部に取り込まれ、読み出し時と同様に行アドレスがデコードされてワード線が選択され、メモリセルのデータがビット線に出力される。そして、ビット線の電位が十分に開いたところで、センスアンプが起動され、ビット線電位が増幅される。

【0066】ここでは、AL=0 であるので、ACTV コマンドが投入されてから、2 サイクル後に WRITE コマンドが投入され、このコマンド投入と同時に列アドレスが内部に取り込まれる。また、WRITE コマンドを受けてコマンドデコーダ 102 より生成されるライトイネーブル信号 WRE がイネーブル状態（ハイレベル）になるため、コマンドデコーダ 102 より生成されるクロック YCLK1 により列アドレスラッチ 110 で列アドレスが WRITE コマンド投入より 1 サイクル分遅延されて出力される。その後、読み出し時と同様に列アドレスがデコードされてビット線が選択される。このとき、AL=0 のため、第 1 タイミング調整回路 124、第 2 タイミング調整回路 125 への入力信号はスルーされる。書き込みデータは、WRITE コマンドが投入されてから 1 サイクル (=AL+CAS レイテンシー 1) で外部より取り込まれる。

【0067】この実施形態のダブルデータレート・シンクロナス DRAM では、ライトデータは、入力バッファ 121 により内部に取り込まれ、WRITE コマンドを受けてコマンドデコーダ 102 から出力されるクロック DCLK の立上りエッジで最初の n ビットのデータが、またクロック DCLK の立下りエッジで次の n ビットのデータが、それぞれ入力レジスタ 122 にラッチされて 2n ビットのデータとされる。そして、取り込まれたライトデータは、書き込み回路 117 を通してメモリセルアレイ 123 へと送られ、さらに選択されたビット線を通して、メモリセルへと書き込まれる。

【0068】なお、前記書き込み動作では、書き込み回路イネーブル信号 WBE は、WRITE コマンドを受けてコマンドデコーダ 102 から出力され、図 2 に示される遅延制御回路 126 内の遅延用レジスタ 203 を通り、WBE1 として書き込み回路 117 に入力される。このとき、AL=0 で ALE はロー固定とされるため、WBE は遅延用レジスタ 203 をスルーして、遅延制御回路 126 から WBE1 として出力される。

【0069】次に、AL=1 すなわち ACTV コマンドが投入されてから、1 サイクル後に READ コマンドが投入される時の読み出し動作を説明する。図 12 に示すように、ACTV コマンドが投入されると同時に行アドレスが内部に取り込まれ、AL=0 時と同様に行アドレスがデコードされてワード線が選択され、メモリセル

のデータがビット線に出力される。十分にビット線が開いたところで、センスアンプが起動され、ビット線の電位差が増幅される。

【0070】そして、ACTV コマンドが投入されてから 1 サイクル後に READ コマンドが投入されると、それと同時に列アドレスがアドレスバッファ 101 により内部に取り込まれ、READ コマンドを受けてコマンドデコーダ 102 から出力されるクロック ACLK によりアドレスレジスタ 103 にラッチされる。さらに、READ コマンドを受けてコマンドデコーダ 102 から出力されるクロック YCLK1 で列アドレスが列アドレスラッチ 110 にラッチされる。また、読み出し時には、READ コマンドを受けてコマンドデコーダ 102 より生成されるライトレジスタイネーブル信号 WRE はロー固定なので、列アドレスは 1 サイクル分遅延されることなく、列アドレスラッチ 110 から出力される。

【0071】その後、列アドレスは列アドレスカウンタ 111 を通り、列アドレス比較回路 112 に入力され、列救済アドレス記憶回路 113 に保存されている救済アドレスと比較され、一致または不一致が判断される。ここで、AL=1 の場合、ALE はハイレベルに固定されるので、比較回路 112 からの出力は、第 2 タイミング調整回路 125 でラッチされ、列アドレスカウンタ 111 からの出力は第 1 タイミング調整回路 124 でラッチされる。

【0072】そして、READ コマンドが投入されてから 1 サイクル後のクロックを受けて、コマンドデコーダ 102 よりクロック YCLK3、YCLK4 が生成され、それぞれが第 1 タイミング調整回路 124、第 2 タイミング調整回路 125 に入力されるため、前記 YCLK3、YCLK4 のそれぞれの立上りエッジを受けて、第 1 タイミング調整回路 124 にラッチされていた列アドレスカウンタ 111 の出力、および第 2 タイミング調整回路 125 にラッチされていた比較回路 112 の出力がそれぞれ出力される。これにより、前記列アドレスカウンタ 111 の出力、および比較回路 112 の出力は、1 サイクル分遅延されたことになる。

【0073】その後、比較回路 112 での比較の結果、一致した場合は、第 2 タイミング調整回路 125 の出力により、列プリデコーダ 114 は非活性となり、冗長列デコーダ 115 により冗長ビット線が選択される。一方、不一致の場合は、タイミング調整回路 125 の出力により、列プリデコーダ 114 が活性化され、第 1 タイミング調整回路 124 の出力が、列プリデコーダ 114 でプリデコードされ、その出力が列デコーダ 116 でデコードされてビット線が選択される。このとき、列アドレスバスには既に 1 サイクル分の遅延が含まれているので、ビット線電位は十分に増幅されており、正しいデータを読み出せることになる。その後、ビット線が選択されることにより、ビット線のデータが読み出し回路 11

7に入力され、前記読み出し回路117にてデータはさらに増幅され、出力レジスタ118に送られる。

【0074】出力レジスタ118では、コマンドデコーダ102からのCASレイテンシ情報信号CLと出力クロック生成回路119から生成されたクロックQCLK1に応じて、出力バッファ120にデータが送られ、外部に出力される。このとき、図11で説明したのと同様に、ダブルデータレート・シンクロナスDRAMではクロックの立上りエッジと立下りエッジの両方のタイミングでデータが出力される。

【0075】なお、読み出し時には、読み出し回路イネーブル信号MAEおよび出力クロック生成回路イネーブル信号OREは、READコマンドを受けてコマンドデコーダ102から出力され、図2に示される遅延制御回路126内の遅延用レジスタ201および202を通り、それぞれMAE1、ORE1として読み出し回路117および出力クロック生成回路119に入力されるが、AL=1でALEはハイレベルに固定されるため、MAE、OREは遅延用レジスタ201および202内で1サイクル分遅延され、MAE1、ORE1として出力される。

【0076】ALが1の時の書き込み動作は、図13に示されているように、まずACTVコマンドが投入されて、それと同時に行アドレスが内部に取り込まれ、読み出し時と同様に行アドレスがデコードされてワード線が選択され、メモリセルのデータがビット線に出力される。ある程度ビット線の電位差が開いたところで、センスアンプが起動され、ビット線の電位差が増幅される。

【0077】そして、ACTVコマンドが投入されてから、1サイクル後にWRITEコマンドが投入されると、コマンド投入と同時に列アドレスが内部に取り込まれる。次に、WRITEコマンドを受けてコマンドデコーダ102より生成されるライトレジスタイネーブル信号WREがイネーブルになり、コマンドデコーダ102より生成されるクロックBCLKにより列アドレスラッチ110で列アドレスが1サイクル分遅延されて出力される。その後、読み出し時と同様に列アドレスがデコードされてビット線が選択される。このとき、AL=1によりALEはハイレベルに固定されるため、第1タイミング調整回路124と第2タイミング調整回路125に入力された信号は、それぞれ第1タイミング調整回路124、第2タイミング調整回路125にて1サイクル分遅延されてから出力される。

【0078】よって、AL=0の時に比べて、WRITEコマンドが投入されてからビット線が選択されるまでの遅延時間は1サイクル分遅延される。その結果、書き込みデータは、WRITEコマンドが投入されてから2サイクル(=AL+CASレイテンシー1)で外部より取り込むことができる。このとき、ダブルデータレート・シンクロナスDRAMではクロックの立上りエッジと立

下りエッジの両方でデータが取り込まれる。この書き込みデータは、入力バッファ121により内部に取り込まれ、WRITEコマンドが投入されてから1サイクル後のクロックを受けてコマンドデコーダ102から出力されるクロックDCLKにより入力レジスタ122にラッチされる。

【0079】しかして、前記のように、AL=1でWRITEコマンドがACTVコマンド投入の次のサイクルでWRITEコマンド投入されても、クロックDCLKが生成されるまでの遅延時間が、AL=0時に対して1サイクル分遅延されているので、問題無く前記書き込みデータを取り込める。その後、前記書き込みデータは、書き込み回路117を通してメモリセルアレイ123へと送られ、さらに選択されたビット線に通して、メモリセルへと書き込まれる。また、書き込み回路イネーブル信号WBEは、WRITEコマンドを受けてコマンドデコーダ102から出力され、図2に示される遅延制御回路126内の遅延用レジスタ203を通り、WBE1として書き込み回路117に入力されるが、AL=1でALEはハイレベルに固定されるため、WBEは遅延用レジスタ203内で1サイクル分遅延され、WBE1として出力される。そのため、WRITEコマンド投入が1サイクル早くても問題無くメモリセルへのデータの書き込みを行なえることとなる。

【0080】図14(A)に、カラムコマンド前倒しレイテンシALが0の時の読み出し動作におけるロー系およびカラム系の信号のタイミングを示す。図14において、ACTVコマンドが投入されてからビット線の電位が十分増幅されるまでの所要時間をt0、READコマンドが投入されてからYCLK1によりカラムアドレスが列アドレスラッチ110に取り込まれるまでの所要時間をt1、カラムアドレスがラッチされてから列プリデコーダ114に入力されるまでの所要時間をt2、カラムアドレスがラッチされてから比較回路112から比較結果が出力されるまでの所要時間をt2'、比較回路112の出力からデコーダ115、116でアドレスがデコードされてビット線が選択されるまでの所要時間をt3、ビット線の選択から読み出し回路117で増幅された信号が出力されるまでの所要時間をt4、読み出し回路117の出力から出力レジスタ118に入力されるまでの所要時間をt5、出力レジスタ118への入力から出力バッファ120によるデータ出力までの所要時間をt6とする。同図から分かるように、ACTVコマンドが投入されてからビット線の電位が十分増幅されるまで3サイクル要するとき、ACTVコマンドが投入されてから2サイクル後にREADコマンドが投入された場合、ビット線増幅完了時間(t0)とビット線選択時間(2tclk+t1+t2'+t3)は同一である。

【0081】一方、図14(B)にALが1の時の読み出し動作におけるタイミングを示す。この場合、ACT

V コマンドが投入されてから 1 サイクル後に READ コマンドが投入され、それから 1 サイクル後に YCLK 3、YCLK 4 の生成が開始され  $t_{21}$  時間後に YCLK 3、YCLK 4 が出力され、時間  $t_{22}$  後にタイミング調整回路 124、125 より列アドレスデータおよび比較回路 112 の出力がラッチされ、さらに時間  $t_3$  後にビット線が選択される。このとき、YCLK 3、YCLK 4 の生成およびタイミング調整回路 124、125 のラッチが終了するまでの所要時間 ( $t_{21} + t_{22}$ ) を、前記  $AL = 0$  のときの READ コマンドが投入されてからカラムアドレスのラッチおよび比較回路 112 から比較結果が出力されるまでの所要時間 ( $t_1 + t_{2'}$ ) と同じ、つまり ( $t_{21} + t_{22}$ ) = ( $t_1 + t_{2'}$ ) とすることで、ACTV コマンドが投入されてから、ビット線が選択されるまでの所要時間は、 $AL = 0$  のときも  $AL = 1$  のときもほとんど同一とすることができるため、選択されたメモリセルのデータを正しく読み出せる。

【0082】図 15 (A) に、ビット線増幅完了までの時間が相対的に短い場合において、 $AL = 0$  時の読み出し動作におけるロー系およびカラム系のタイミングを示す。図 15 (A) のタイミングでは、ACTV コマンドが投入されてからビット線が十分増幅されるまでの所要時間  $t_{0'}$  は、ACTV コマンドが投入されてからビット線が選択されるまでの所要時間 ( $2t_{ck} + t_1 + t_{2'} + t_3$ ) よりも短い。このような場合、READ コマンド投入後データが出力されるまでの所要時間 ( $t_1 + t_2 + t_3 + t_4 + t_5 + t_6$ ) が 2 サイクル ( $2t_{ck}$ ) 以内に終了するようにサイクルタイムが決定される。つまり、サイクルタイム ( $t_{ck}$ ) は、カラム系パスにより律速されることとなる。最適なタイミングは、ビット線増幅完了時点 ( $t_{0'}$  の後端) とカラムデコード終了時点 ( $t_3$  の後端) とが一致する場合であるが、図 15 (A) においては、ビット線増幅完了が先に終了するため破線  $t_0$  で示す時間が無駄になることが分かる。なお、ビット線増幅完了までの時間が相対的に短くなる現象は、プロセスばらつきによって製品間で生じるものである。

【0083】前記のようにビット線増幅完了までの時間が相対的に短くなっている製品においては、前記実施形態のように列プリデコード 114 の前段に列アドレスを遅延可能なレジスタを挿入して、READ コマンドを 1 サイクル前倒しで投入する  $AL = 1$  を実現することで、図 15 (B) に示すように、カラムアドレスのラッチ ( $t_1$  期間) および比較回路 112 の比較 ( $t_{2'}$ ) を第 2 サイクルにて行ない、YCLK 3、4 の生成からカラムアドレスのデコードまでを第 3 サイクルにて行なうことができるようになる。図 15 (B) において、 $t_{21'}$  はクロックから YCLK 3、4 が生成されるまでの所要時間、 $t_{22'}$  はタイミング調整回路 124、12

5 により遅延されたアドレスの出力が確定するまでの所要時間であり、( $t_{21'} + t_{22'}$ ) は ( $t_1 + t_{2'}$ ) よりも短いことが必要条件であるが、これは回路的に容易に実現できる。

【0084】この結果、 $AL = 1$  の時はビット線が増幅される時間に合わせてビット線を選択できるため、ビット線増幅完了までの時間の差を全所要サイクルの「4」で割った ( $t_0 - t_{0'}$ ) / 4 だけ、サイクル時間を短縮することができる。図 14 (B) のようなタイミング制御に従うと、YCLK 3、4 の生成からデータの出力までの所要時間 ( $t_{21'} + t_{22'} + t_3 + t_4 + t_5 + t_6$ ) が 2 サイクルで終われば良いので、ビット線増幅完了までの所要時間がもっと短くなれば、原理的には、( $t_1 + t_{2'}$ ) または ( $t_{21'} + t_{22'} + t_3 + t_4 + t_5 + t_6$ ) / 2 のどちらか遅いほうの時間でサイクルタイム  $T_{ck}$  が決まり、 $AL = 0$  の時に比べ、{ ( $t_1 + t_{2'}$  +  $t_3 + t_4 + t_5 + t_6$ ) / 2 - ( $t_1 + t_2$ ) } または { ( $t_{21'} + t_{22'} + t_3 + t_4 + t_5 + t_6$ ) / 2 - ( $t_{21'} + t_{22'} + t_3 + t_4 + t_5 + t_6$ ) / 2 } だけサイクルタイムを短縮することができる。

【0085】次に、図 1 で構成されるダブルデータレート・シンクロナス DRAM における前記カラムコマンド前倒しレイテンシ  $AL$  の設定の仕方、および  $AL$  が設定されたときの動作について説明する。

【0086】図 1 の実施形態では、モードレジスタセット (MRS) コマンドにより、CAS レイテンシ  $CL$  が  $CL$  設定レジスタ 131 に設定され、エクステンディッドモードレジスタセット (EMRS) コマンドにより、カラムコマンド前倒しレイテンシ  $AL$  がコマンドデコード内の  $AL$  設定レジスタ 132 に設定される。

【0087】図 16 に MRS コマンドおよび EMRS コマンドの具体例を示す。この実施形態においては、CPU などの外部装置から供給される制御信号  $CKE$  がハイレベル、/ $CS$ 、/ $RAS$ 、/ $CAS$ 、/ $WE$  がロウレベル、バンクアドレス  $BA1$ 、 $BA0$  (もしくはアドレス  $A14$ 、 $A13$ ) およびアドレスの所定ビット  $AP$  (例えば  $A10$ ) がローレベルのとき、MRS コマンドが発行され、アドレス  $A8 \sim A0$  の値に応じて各種の値が設定される。また、 $CKE \cdot BA0$  ( $A14$ ) がハイレベル、/ $CS$ 、/ $RAS$ 、/ $WE$ 、 $BA1$  ( $A13$ )、 $AP$  ( $A10$ ) がローレベルのとき、EMRS コマンドが発行され、アドレスの値に応じて各種の値が設定される。

【0088】また、 $CKE$ 、/ $RAS$ 、/ $WE$  がハイレベル、/ $CS$ 、/ $CAS$ 、 $AP$  ( $A10$ ) がロウレベルのときは読出しを指令する READ コマンドが、 $CKE$ 、/ $RAS$  がハイレベル、/ $CS$ 、/ $CAS$ 、/ $WE$ 、 $AP$  ( $A10$ ) がロウレベルのときは書込みを指令する WRITE コマンドが、 $CKE$ 、/ $CAS$ 、/ $WE$

がハイレベル、／CS、／RASがロウレベルのときは動作開始すなわちローアドレスの取込みとバンク（メモリアレイ）の活性化を指令するACTVコマンドが、それぞれ発行される。

【0089】図17（A）にはMRSコマンドによるCASレイテンシの設定におけるアドレスと設定値との関係の一例が示されている。同図に示すように、この実施形態のDRAMにおいては、アドレスA0～A2でバースト長（BL）が設定され、A3でバーストタイプ（インターリーブまたはシーケンシャル）が設定され、A4～A6でCASレイテンシが設定され、A8で出力クロック生成回路119のリセットが設定される。CASレイテンシに関しては、例えば（A4、A5、A6）＝（0、1、0）のときはレイテンシが「2」、（A4、A5、A6）＝（1、1、0）のときはレイテンシが「3」に設定される。

【0090】図17（B）にはEMRSコマンドによるカラムコマンド前倒しレイテンシの設定におけるアドレスと設定値との関係の一例が示されている。同図に示すように、この実施形態のDRAMにおいては、A0で出力クロック生成回路119の活性／非活性が設定され、A1～A3でカラムコマンド前倒しレイテンシALが設定される。カラムコマンド前倒しレイテンシALに関しては、例えば（A1、A2、A3）＝（0、0、0）のときにレイテンシが「0」、（A1、A2、A3）＝（1、0、0）のときにレイテンシが「1」、そして（A1、A2、A3）＝（0、1、0）のときにレイテンシが「2」に設定される。

【0091】図18は、本発明を適用したダブルデータレート・シンクロナスDRAMの第2の実施形態を示す。この第2の実施形態は、第1の実施形態（図1）において列プリデコーダ114の前段に設けられているタイミング調整回路124、125を、列アドレスラッチ110と列アドレスカウンタ111との間に224として設けたものである。他の構成は第1の実施形態と同様であるので、同一の回路ブロックには同一の符号を付して重複した説明は省略する。

【0092】図19には、tRCDが2サイクル、CASレイテンシが2サイクルを前提として、ALレイテンシが1の時の読み出し動作におけるタイミングチャートを示す。図19は第1の実施形態におけるタイミングチャートを示す図12に対応する。

【0093】図12と比較すると明らかなように、この第2実施形態のDRAMでは、タイミング調整回路224が列アドレスカウンタ111の前段にあるため、列アドレスカウンタ111の出力は第1の実施形態の場合よりも遅いが、列デコーダ116または冗長列デコーダ115への入力タイミングは第1の実施形態とほぼ同じになる。その結果、第1の実施形態と同じような作用効果が得られる。

【0094】第2の実施形態のDRAMにおけるAL＝0の時の読み出し動作および書込み動作については、第1の実施形態における読み出し動作（図10）および書込み動作（図11）より容易に推測できる。また、AL＝1の時の書込み動作についても、前記読み出し動作（図19）および第1の実施形態における書込み動作（図13）より容易に推測できるため、ここでは説明を省略する。

【0095】この第2の実施形態は、第1の実施形態に比べてタイミング調整回路の総ビット数が半分以下で済むという利点がある。すなわち、この第2の実施形態におけるタイミング調整回路224のビット数は第1の実施形態における第1タイミング調整回路124と同じ例えば $9 \times 4 = 36$ ビットのようなビット数であり、予備メモリ列の本数（例えば $32 \times 4 = 128$ 本）と同じビット数を有する第2タイミング調整回路125は不用である。ただし、タイミング調整回路224の位置が第1実施形態に比べて前段側にあるため、若干サイクルタイム短縮の効果が小さくなる。

【0096】すなわち、第1の実施形態のタイミングを示す図14（B）において、第2サイクルにあるREADコマンドが投入されてからYCLK1によりカラムアドレスが列アドレスラッチ110に取り込まれるまでの所要時間t1は、第2の実施形態においても第2サイクルで実行できるが、第1の実施形態においては第2サイクルにあるカラムアドレスが列プリデコーダ114に入力されるまでの所要時間t2は、この第2実施形態では、第3サイクルに入ることとなるため、第1実施形態に比べてサイクルタイム短縮の効果が小さくなる。

【0097】図20は、本発明を適用したダブルデータレート・シンクロナスDRAMの第3の実施形態を示す。この第3の実施形態は、第1の実施形態（図1）において列プリデコーダ114の前段に設けられているタイミング調整回路124、125を、列アドレスカウンタ111と列プリデコーダ114との間に324として設けたものである。他の構成は第1の実施形態と同様であるので、同一の回路ブロックには同一の符号を付して重複した説明は省略する。

【0098】図21には、tRCDが2サイクル、CASレイテンシが2サイクルを前提として、ALレイテンシが1の時の読み出し動作におけるタイミングチャートを示す。図21は第1の実施形態におけるタイミングチャートを示す図12に対応する。

【0099】図12と比較すると明らかなように、この第3実施形態のDRAMでは、タイミング調整回路324が列アドレス比較回路112の前段にあるため、列アドレス比較回路112の出力は第1の実施形態の場合よりも遅いが、列デコーダ116または冗長列デコーダ115への入力タイミングは第1の実施形態とほぼ同じになる。その結果、第1の実施形態と同じような作用効果が得られる。

が得られる。

【0100】第3の実施形態のDRAMにおけるAL=0の時の読み出し動作および書き込み動作については、第1の実施形態における読み出し動作(図10)および書き込み動作(図11)より容易に推測できる。また、AL=1の時の書き込み動作についても、前記読み出し動作(図21)および第1の実施形態における書き込み動作(図13)より容易に推測できるため、ここでは説明を省略する。

【0101】本実施形態では、図1に示された第1の実施形態に比べると、AL=1の時に効率的な時間配分はできない。さらに、ACTVコマンドからビット線が増幅されるまでの時間が短縮されて、AL=0時にカラム系パスが律速する場合でも、サイクルタイムの短縮の効果は小さい。但し、タイミング調整回路の数を比較回路出力の数の分だけ減らすことができ、チップサイズ低減に寄与できる。また、第2の実施形態に比べると、AL=1の時に効率的な時間配分ができ、ACTVコマンドからビット線が増幅されるまでの時間が短縮されて、AL=0時にカラム系パスが律速する場合にサイクルタイムを短縮できる。タイミング調整回路324のビット数については第2実施形態の場合と同じである。

【0102】図22は、本発明を適用したダブルデータレート・シンクロナスDRAMの第4の実施形態を示す。この第4の実施形態は、第1の実施形態(図1)において列プリデコード114の前段に設けられているタイミング調整回路124、125を、列プリデコード114の後段に424、425として設けたものである。他の構成は第1の実施形態と同様であるので、同一の回路ブロックには同一の符号を付して重複した説明は省略する。

【0103】図23には、tRCDが2サイクル、CASレイテンシが2サイクルを前提として、ALレイテンシが1の時の読み出し動作におけるタイミングチャートを示す。図23は第1の実施形態におけるタイミングチャートを示す図12に対応する。

【0104】図12と比較すると明らかなように、この第4実施形態のDRAMでは、タイミング調整回路424、425が列プリデコード114の後段にあるが、図23に示されている信号のタイミングに関しては第1の実施形態の図12のタイミングチャートと全く同じである。その結果、第1の実施形態と同じような作用効果が得られる。

【0105】第4の実施形態のDRAMにおけるAL=0の時の読み出し動作および書き込み動作については、第1の実施形態における読み出し動作(図10)および書き込み動作(図11)より容易に推測できる。また、AL=1の時の書き込み動作についても、前記読み出し動作(図23)および第1の実施形態における書き込み動作(図13)より容易に推測できるため、ここでは説明を

省略する。

【0106】本実施形態では、図1に示された第1の実施形態と同様に、AL=1の時に効率的な時間配分ができる。さらに、ACTVコマンドからビット線が増幅されるまでの時間が短縮されて、AL=0の時にカラム系パスが律速する場合、AL=1以上ではパイプライン化の効果によりサイクルタイムを短縮できる。但し、プリデコードされた列アドレス分と比較回路出力数分のタイミング調整回路を持っているため、タイミング調整回路424、425のビット数は第1の実施形態よりも多くなる。

【0107】図24は、本発明を適用したダブルデータレート・シンクロナスDRAMの第5の実施形態を示す。この第5の実施形態は、第1の実施形態(図1)において列プリデコード114の前段に設けられているタイミング調整回路124、125に加え、第3実施形態と同様に列アドレスカウンタ111と列アドレス比較回路112との間にもタイミング調整回路524を設けたものである。他の構成は第1の実施形態と同様であるので、同一の回路ブロックには同一の符号を付して重複した説明は省略する。

【0108】図25には、tRCDが3サイクル、CASレイテンシが2サイクルを前提として、ALレイテンシが2の時の読み出し動作におけるタイミングチャートを示す。

【0109】図25に示されているように、AL=2の時の読み出し動作では、ACTVコマンドが投入されるのと同時に行アドレスが内部に取り込まれ、行アドレスがデコードされてワード線が選択され、メモセルのデータがビット線に出力される。十分にビット線が開いたところで、センスアンプが起動され、ビット線電位が増幅される。

【0110】tRCDが3サイクルでAL=2の場合、ACTVコマンドが投入されてから、1サイクル後にREADコマンドが投入される。それと同時に列アドレスがアドレスバッファ101から内部に取り込まれ、READコマンドを受けてコマンドデコード102から出力されたCLKでアドレスレジスタ103にラッチされる。さらに、READコマンドを受けてコマンドデコード102から出力されたYCLK1で列アドレスが列アドレスラッチ110にラッチされる。READコマンドを受けてコマンドデコード102より生成されるライトレジスタイネーブル信号WREはロー固定なので、列アドレスは1サイクル分遅延されることなく、列アドレスラッチ110から出力される。

【0111】その後、列アドレスは、列アドレスカウンタ111を通り、タイミング調整回路524に入力され、ラッチされる。READコマンドが投入されてから1サイクル後のクロックを受けて、コマンドデコード102よりYCLK5が生成され、タイミング調整回路5



24に入力される。前記YCLK5の立上りエッジを受けて、タイミング調整回路524にラッチされていた列アドレスが出力される。これにより、前記列アドレスは1サイクル分遅延されたことになる。その後、列アドレス比較回路112に入力され、列救済アドレス記憶回路113に保存されている救済アドレスと比較され、一致または不一致が判断される。AL=2の場合、ALE1はハイ固定なので、比較回路112からの出力は、タイミング調整回路125でラッチされ、タイミング調整回路524からの出力（前記列アドレスカウンタ111の出力）はタイミング調整回路124でラッチされる。

【0112】そして、READコマンドが投入されてから2サイクル後のクロックを受けて、コマンドデコーダ102よりYCLK3、YCLK4が生成され、それぞれがタイミング調整回路124、125に入力される。前記YCLK3、YCLK4のそれぞれの立上りエッジを受けて、タイミング調整回路124にラッチされていた列アドレスカウンタ111の出力、およびタイミング調整回路125にラッチされていた比較回路112の出力が出力される。これにより、前記列アドレスカウンタ111の出力、および比較回路112の出力は、1サイクル分遅延されたことになる。

【0113】その後、比較回路112での比較の結果、一致した場合は、タイミング調整回路125の出力により、列プリデコーダ114は非活性となり、冗長列デコーダ115により冗長ビット線が選択される。不一致の場合は、タイミング調整回路124の出力により、列プリデコーダ114が活性化され、タイミング調整回路124の出力が、列プリデコーダ114でプリデコードされ、その出力が列デコーダ116でデコードされてビット線が選択される。このとき、列アドレスバスには既に2サイクル分の遅延が含まれているので、ビット線は十分に増幅されており、正しいデータを読み出せることになる。その後、ビット線が選択されることにより、ビット線のデータが読み出し回路117に入力され、前記読み出し回路117にて再度データは増幅され、出力レジスタ118に送られる。

【0114】出力レジスタ118では、コマンドデコーダ102からのCASレイテンシ情報信号CLと出力クロック生成回路119から生成されたQCLK1に応じて、出力バッファ120にデータが送られ、外部に出力される。このとき、ダブルデータレート・シンクロナスDRAMではクロックの立上りエッジと立下りエッジの両エッジよりデータが出力される。読み出し回路イネーブル信号MAEおよび出力クロック生成回路イネーブル信号OREは、READコマンドを受けてコマンドデコーダ102から出力され、図26に示される遅延制御回路126内の第1遅延用レジスタ3201および第2遅延用レジスタ3202と、第3遅延用レジスタ3211および第4遅延用レジスタ3212とを通り、それぞれ

MAE1、ORE1として読み出し回路117および出力クロック生成回路119に入力される。AL=2の場合（ALE1、ALE2はハイ固定のため）、MAE、OREはそれぞれ第1遅延用レジスタ3201および第2遅延用レジスタ3202と、第3遅延用レジスタ3211および第4遅延用レジスタ3212内で2サイクル分遅延され、MAE1、ORE1として出力される。

【0115】本実施形態では、図1に示された第1の実施形態と同様に、AL=2の時に効率的な時間配分が実現できる。さらに、ACTVコマンドからビット線が増幅されるまでの時間が短縮されて、AL=0時にカラム系バスが律速する場合、AL=1以上ではパイプライン化の効果によりサイクルタイムを短縮できる。ただし、回路規模は第1実施形態に比べて若干大きくなる。

【0116】図27は、本発明を適用したダブルデータレート・シンクロナスDRAMの第6の実施形態を示す。この実施形態は、第5の実施形態（図24）において、列アドレスカウンタ111の直後に設けられているタイミング調整回路524を、列アドレスラッチ110と列アドレスカウンタ111との間に設けたものである。また、この第6の実施形態のダブルデータレート・シンクロナスDRAMでは、読み出し・書込みデータだけではなく、コマンド入力もダブルデータレートとしている。

【0117】図28には、tRCDが2サイクル、CASレイテンシが2サイクルを前提として、ALレイテンシが1.5の時の読み出し動作におけるタイミングチャートを示す。

【0118】図28に示されているように、AL=1.5の時の読み出し動作では、ACTVコマンドが投入されるのと同時に行アドレスが内部に取り込まれ、行アドレスがデコードされてワード線が選択され、メモセルのデータがビット線に出力される。十分にビット線が開いたところで、センスアンプが起動され、ビット線電位が増幅される。

【0119】AL=1.5の場合、ACTVコマンドが投入されてから、0.5サイクル後にREADコマンドが投入される。それと同時に列アドレスがアドレスバッファ101から内部に取り込まれ、READコマンドを受けてコマンドデコーダ102から出力されたACLKでアドレスレジスタ103にラッチされる。さらに、READコマンドを受けてコマンドデコーダ102から出力されたYCLK1で列アドレスが列アドレスラッチ110にラッチされる。このとき、READコマンドを受けてコマンドデコーダ102より生成されるライトレジスタイネーブル信号WREはロー固定なので、列アドレスは1サイクル分遅延されることなく、列アドレスラッチ110から出力され、タイミング調整回路524にラッチされる。

【0120】そして、READコマンドが投入されてか

ら1サイクル後のクロックを受けて、コマンドデコーダ102よりYCLK5が生成され、タイミング調整回路524に入力される。前記YCLK5の立上りエッジを受けて、タイミング調整回路524にラッチされていた列アドレスが出力される。これにより、前記列アドレスは0.5サイクル分遅延されたことになる。その後、列アドレスは、列アドレス比較回路112に入力され、列救済アドレス記憶回路113に保存されている救済アドレスと比較され、一致または不一致が判断される。AL=1.5より、ALE1はハイ固定なので、比較回路112からの出力は、タイミング調整回路125でラッチされ、また、列アドレスカウンタ111からの出力はタイミング調整回路124でラッチされる。

【0121】READコマンドが投入されてから2サイクル後のクロックを受けて、コマンドデコーダ102よりYCLK3、YCLK4が生成され、それぞれがタイミング調整回路124、125に inputs される。前記YCLK3、YCLK4のそれぞれの立上りエッジを受けて、タイミング調整回路124にラッチされていた列アドレスカウンタ11の出力、およびタイミング調整回路125にラッチされていた比較回路112の出力が出力される。これにより、前記列アドレスカウンタ111の出力、および比較回路112の出力は、1サイクル分遅延されたことになる。

【0122】その後、比較回路112での比較の結果、一致した場合は、タイミング調整回路125の出力により、列プリデコーダ114は非活性となり、冗長列デコーダ115により冗長ビット線が選択される。不一致の場合は、タイミング調整回路124の出力により、列プリデコーダ114が活性化され、タイミング調整回路124の出力が、列プリデコーダ114でプリデコードされ、その出力が列デコーダ116でデコードされてビット線が選択される。このとき、列アドレス系の信号パスには既に1.5サイクル分の遅延が含まれているので、ビット線は十分に増幅されており、正しいデータを読み出せることになる。その後、ビット線が選択されることにより、ビット線のデータが読み出し回路117に inputs され、前記読み出し回路117にてデータはさらに増幅され、出力レジスタ118に送られ、出力バッファ120によりチップ外部へ出力される。

【0123】本実施形態においては、第5の実施形態の効果に加えて読み出し・書き込みデータだけではなく、コマンド入力もダブルデータレートになった場合にも対応できるという利点がある。

【0124】以上説明したように、前記実施形態のダブルデータレート・シンクロナスDRAMは、カラムコマンドの投入タイミングが前倒しされても、センスアンプで読み出しデータが増幅される前に、ビット線が選択されることはないため、正しいデータを読み出すことができる。さらに、書き込み回路に正しい書き込みデータが

入力された後に、ビット線が選択されることになり、正しいデータを書き込むことができる。

【0125】また、カラムコマンド前倒しレイテンシが変更されても、センスアンプで読み出しデータが増幅される前に、ビット線が選択されることはないため、正しいデータを読み出すことができる。さらに、書き込み回路に正しい書き込みデータが inputs される前に、ビット線が選択されることはないため、正しいデータを書き込むことができる。

10 【0126】さらに、アクティブコマンド投入からビット線が増幅されるまでの時間が短縮され、カラムコマンド前倒しレイテンシAL=0でカラム系パスがサイクルタイムを律速する場合に、AL=1ではパイプライン化の効果によりサイクルタイムを短縮してデータ転送速度を高速化できる。

【0127】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1の実施形態(図1)、第2の実施形態(図18)、第4の実施形態(図22)、第5の実施形態(図24)および第6の実施形態(図27)においては、それぞれ列アドレスカウンタ111を省略するようにしても良い。また、上記実施形態においては、いずれもアクティブコマンドからカラムコマンドの投入までのサイクルtRCDが2サイクルでカラムコマンド前倒しレイテンシが「0」または「1」や「1.5」に設定される場合について説明したが、例えばtRCDが3サイクル以上の場合にはカラムコマンド前倒しレイテンシを「2」以上10に設定することも可能である。このような場合としては、例えばアドレスを3回以上に分けて時分割でチップ内部に取り込むように構成されるメモリなどが考えられる。

【0128】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるダブルデータレート・シンクロナスDRAMに適用下場合について説明したが、本発明はそれに限定されるものでなく、半導体メモリ特にクロック同期型半導体メモリ一般に利用することができる。

40 【0129】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0130】すなわち、本発明によれば、読み出しコマンドや書き込みコマンドが前倒しに投入され、列アドレスが前倒しに投入された場合でも、正しいデータの読み出しおよび書き込みが可能なクロック同期型の半導体記憶装置を実現することができる。また、サイクル時間を短縮してデータ転送速度を高速化することができるクロック同期型の半導体記憶装置を実現することができる。

## 【図面の簡単な説明】

【図 1】本発明を適用した半導体記憶装置の一例としてのダブルデータレート・シンクロナス DRAM の一実施形態を示すブロック構成図である。

【図 2】図 1 に示されている遅延制御回路の構成例を示す回路構成図である。

【図 3】図 2 に示した遅延制御回路の入出力信号のタイミングを示すタイミングチャートである。

【図 4】列アドレスラッチの具体例を示す回路図である。

【図 5】列アドレスラッチ等を構成するクロックドインバータの回路構成図である。

【図 6】図 1 に示したタイミング調整回路の一具体例を示す回路図である。

【図 7】図 1 に示したタイミング調整回路の他の構成例を示す回路図である。

【図 8】図 1 に示したタイミング調整回路の第 3 の構成例を示す回路図である。

【図 9】タイミング可変回路の一構成例を示す回路図である。

【図 10】図 1 に示した実施形態のダブルデータレート・シンクロナス DRAM において、 $t_{RCD}$  が 2 サイクル、CAS レイテンシが 2 サイクル、カラムコマンド前倒しレイテンシ (AL) が 0 サイクルの場合の読み出し動作時の内部の主要な信号タイミングチャートである。

【図 11】図 10 と同一条件における実施形態のダブルデータレート・シンクロナス DRAM の書き込み動作時の内部の主要な信号のタイミングチャートである。

【図 12】図 1 に示した実施形態のダブルデータレート・シンクロナス DRAM において、 $t_{RCD}$  が 2 サイクル、CAS レイテンシが 2 サイクル、カラムコマンド前倒しレイテンシ (AL) が 1 サイクルの場合の読み出し動作時の内部の主要な信号のタイミングチャートである。

【図 13】図 12 と同一条件における実施形態のダブルデータレート・シンクロナス DRAM の書き込み動作時の内部の主要な信号タイミングチャートである。

【図 14】図 1 の実施形態のダブルデータレート・シンクロナス DRAM において、 $t_{RCD}$  が 2 サイクル、CAS レイテンシが 2 サイクル、カラムコマンド前倒しレイテンシ (AL) が 0 サイクルの場合 (A) と 1 サイクルの場合 (B) の読み出し動作時の主要な回路の動作順序を示すタイミングチャートである。

【図 15】ACTV コマンドからビット線が増幅されるまでの時間が短い場合において、カラムコマンド前倒しレイテンシ (AL) が 0 サイクルの場合 (A) と 1 サイクルの場合 (B) の読み出し動作時の主要な回路の動作順序を示すタイミングチャートである。

【図 16】第 1 の実施形態のダブルデータレート・シンクロナス DRAM におけるコマンドの種類とコマンドコードとの関係を示すコマンド構成図である。

【図 17】第 1 の実施形態のダブルデータレート・シンクロナス DRAM において、エクステンディッド・モードレジスタセット・コマンドで設定される値の例 (A) とモードレジスタセット・コマンドで設定される値の例 (B) を示す説明図である。

【図 18】本発明を適用したダブルデータレート・シンクロナス DRAM の第 2 の実施形態を示すブロック構成図である。

【図 19】図 18 に示したダブルデータレート・シンクロナス DRAM において、 $t_{RCD}$  が 2 サイクル、CAS レイテンシが 2 サイクル、カラムコマンド前倒しレイテンシ (AL) が 1 サイクルの場合の読み出し動作時の内部の主要な信号のタイミングチャートである。

【図 20】本発明を適用したダブルデータレート・シンクロナス DRAM の第 3 の実施形態を示すブロック構成図である。

【図 21】図 20 に示したダブルデータレート・シンクロナス DRAM において、 $t_{RCD}$  が 2 サイクル、CAS レイテンシが 2 サイクル、カラムコマンド前倒しレイテンシ (AL) が 1 サイクルの場合の読み出し動作時の内部の主要な信号のタイミングチャートである。

【図 22】本発明を適用したダブルデータレート・シンクロナス DRAM の第 4 の実施形態を示すブロック構成図である。

【図 23】図 22 に示したダブルデータレート・シンクロナス DRAM において、 $t_{RCD}$  が 2 サイクル、CAS レイテンシが 2 サイクル、カラムコマンド前倒しレイテンシ (AL) が 1 サイクルの場合の読み出し動作時の内部の主要な信号のタイミングチャートである。

【図 24】本発明を適用したダブルデータレート・シンクロナス DRAM の第 5 の実施形態を示すブロック構成図である。

【図 25】図 24 に示したダブルデータレート・シンクロナス DRAM において、 $t_{RCD}$  が 2 サイクル、CAS レイテンシが 2 サイクル、カラムコマンド前倒しレイテンシ (AL) が 2 サイクルの場合の読み出し動作時の内部の主要な信号のタイミングチャートである。

【図 26】図 24 の実施形態における遅延制御回路の具体的な構成例を示す回路図である。

【図 27】本発明を適用したダブルデータレート・シンクロナス DRAM の第 6 の実施形態を示すブロック構成図である。

【図 28】図 27 に示したダブルデータレート・シンクロナス DRAM において、 $t_{RCD}$  が 2 サイクル、CAS レイテンシが 2 サイクル、カラムコマンド前倒しレイテンシ (AL) が 1.5 サイクルの場合の読み出し動作時の内部の主要な信号のタイミングチャートである。

【図 29】従来のダブルデータレート・シンクロナス DRAM の概略構成を示すブロック図である。

【図 30】図 29 に示した従来のダブルデータレート・

シンクロナスDRAMにおいて、 $t_{RCD}$ が2サイクル、CASレイテンシが2サイクルの場合の読み出し動作時の内部の主要な信号のタイミングチャートである。

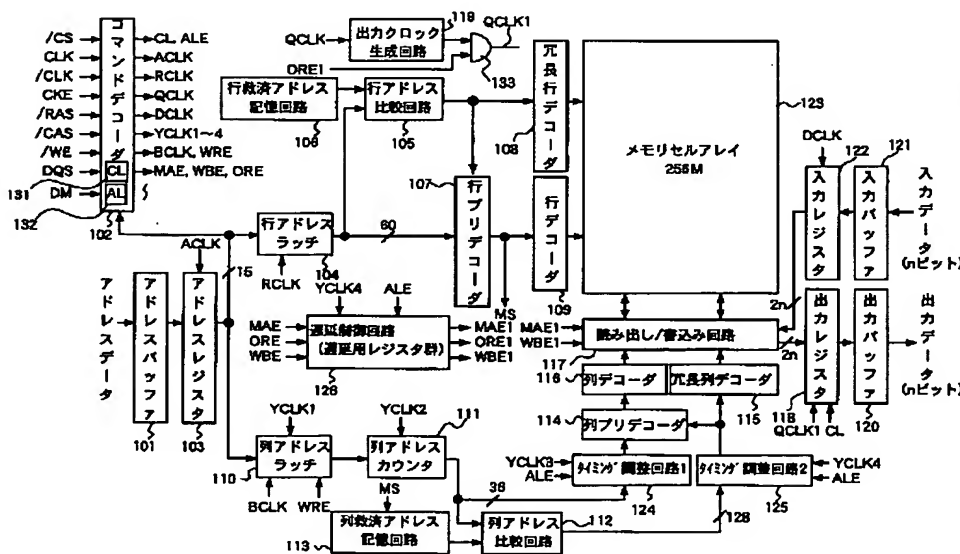
【図31】図30と同一条件における従来のダブルデータレート・シンクロナスDRAMの書き込み動作時の内部の主要な信号のタイミングチャートである。

【符号の説明】

- 101…アドレスバッファ、  
102…コマンドデコーダ、  
103…アドレスレジスタ、  
104…行アドレスラッチ、  
105…行アドレス比較回路、  
106…行救済アドレス記憶回路、  
107…行プリデコーダ、  
108…冗長行デコーダ、  
109…行デコーダ、  
110…列アドレスレジスタ、  
111…列アドレスカウンタ、

- 112…列アドレス比較回路、  
113…列救済アドレス記憶回路、  
114…列プリデコーダ、  
115…冗長列デコーダ、  
116…列デコーダ、  
117…読み出し/書き込み回路、  
118…出力レジスタ、  
119…出力クロック生成回路、  
120…出力バッファ、  
10 121…入力バッファ、  
122…入力レジスタ、  
123…メモリセルアレイ、  
124…第1タイミング調整回路、  
125…第2タイミング調整回路、  
126…遅延制御回路、  
224, 324, 424, 524…第3タイミング調整回路、  
425 第4タイミング調整回路。

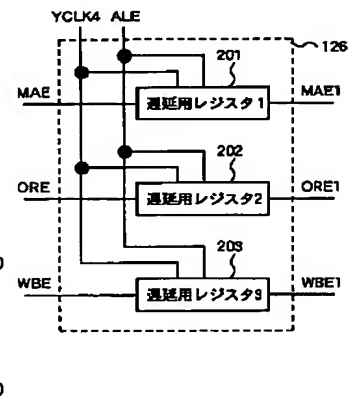
【図1】



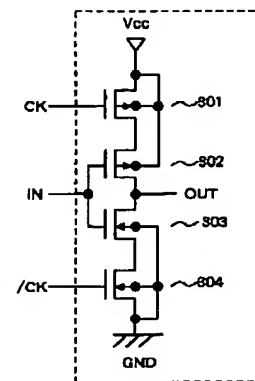
【図16】

Command	Symbol	CKE	/CS	/RAS	/CAS	/WE	BA1	BA0	AP	Address
Mode register set	MRS	H	L	L	L	L	L	L	L	V
	EMRS	H	L	L	L	L	L	L	H	V
Column address and read command	READ	H	L	H	L	H	V	V	L	V
Column address and write command	WRITE	H	L	H	L	L	V	V	L	V
Row address strobe and bank active	ACTV	H	L	L	H	H	V	V	V	V

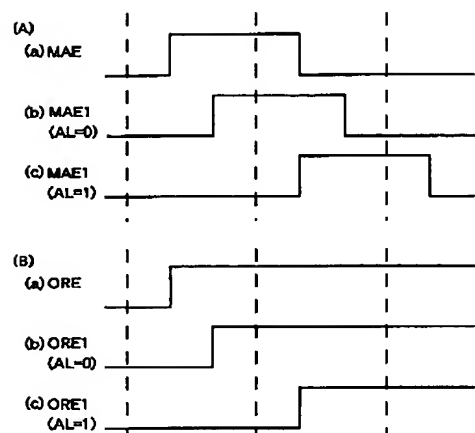
【図2】



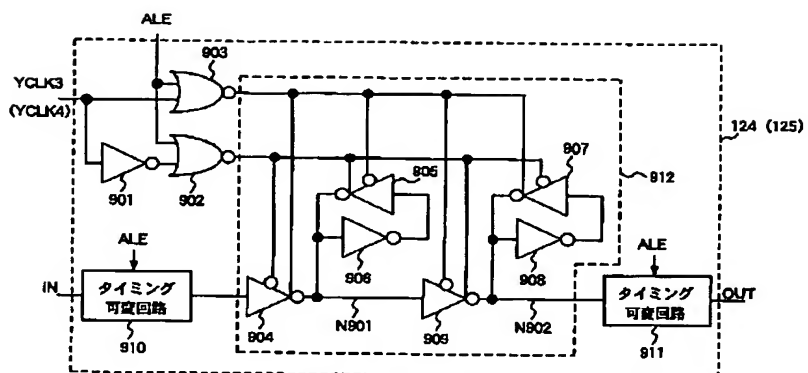
【図5】



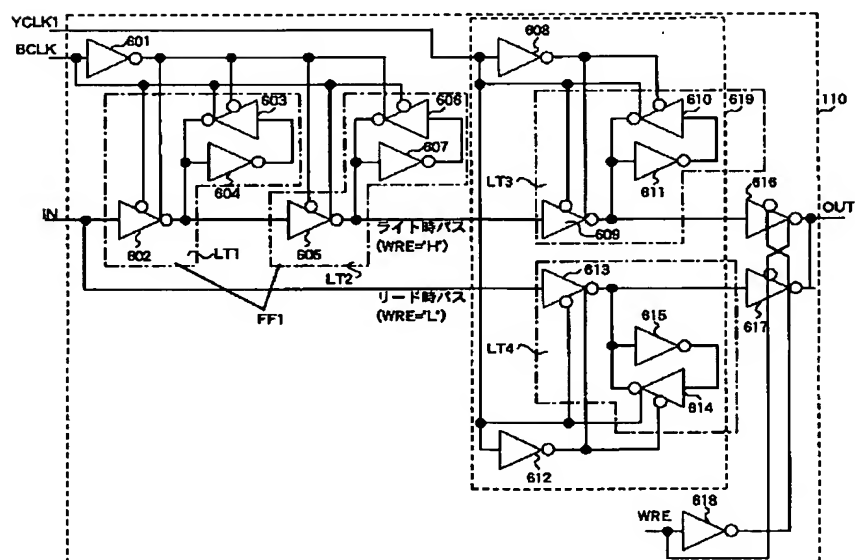
【図 3】



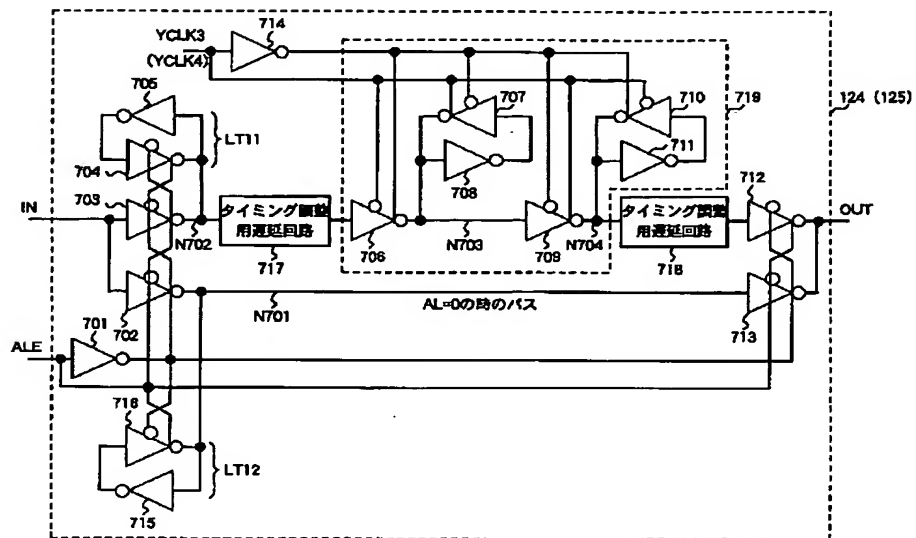
【図 8】



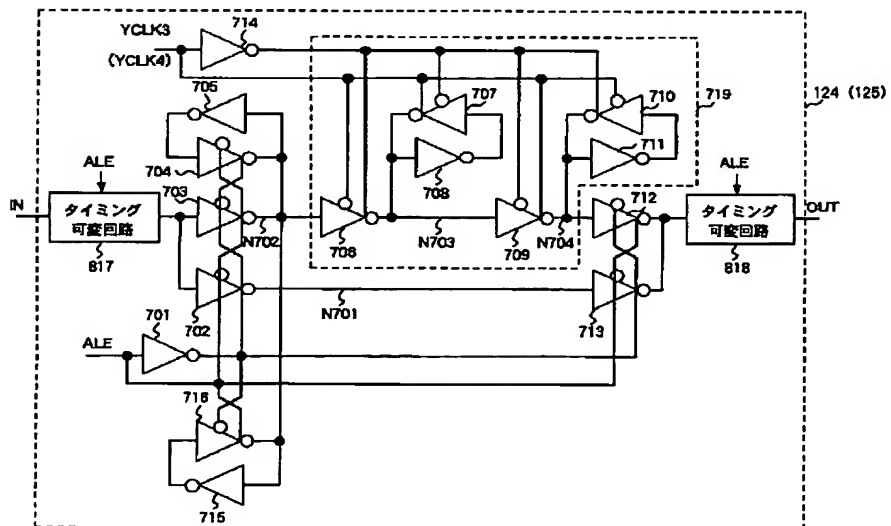
【図 4】



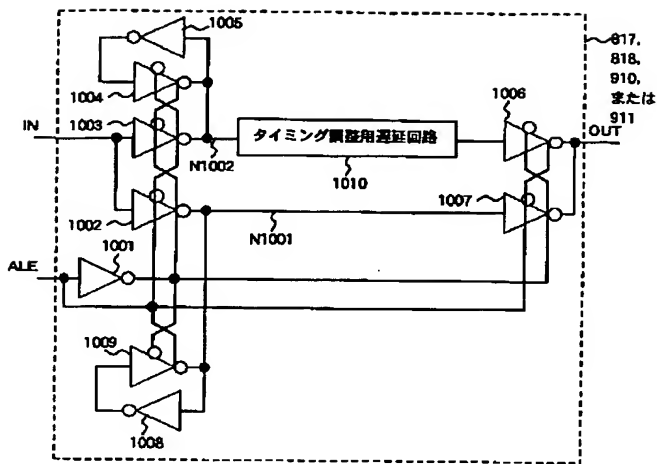
【図 6】



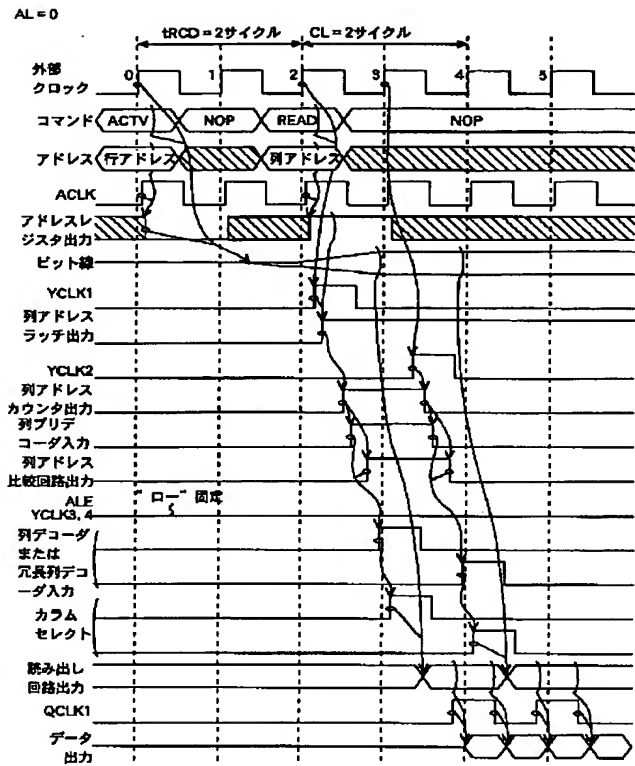
【図 7】



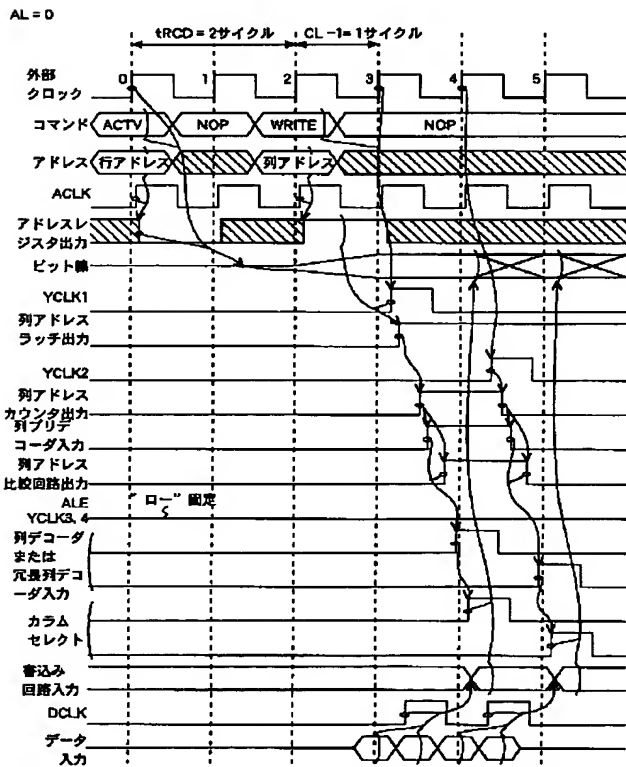
【図 9】



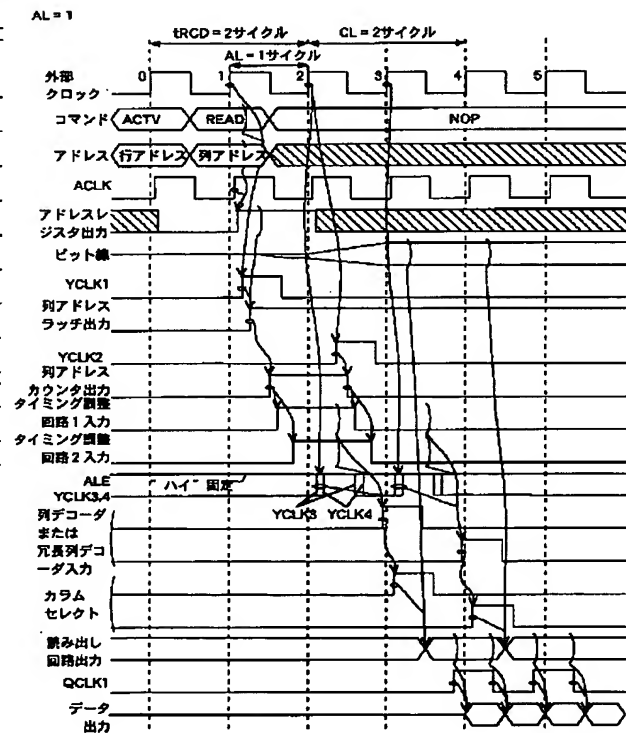
【図 10】



【図 11】

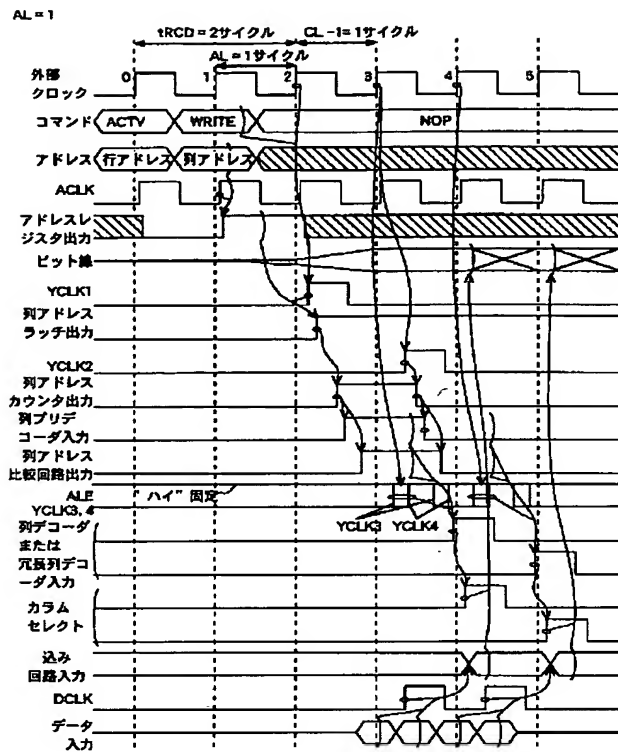


【図 12】

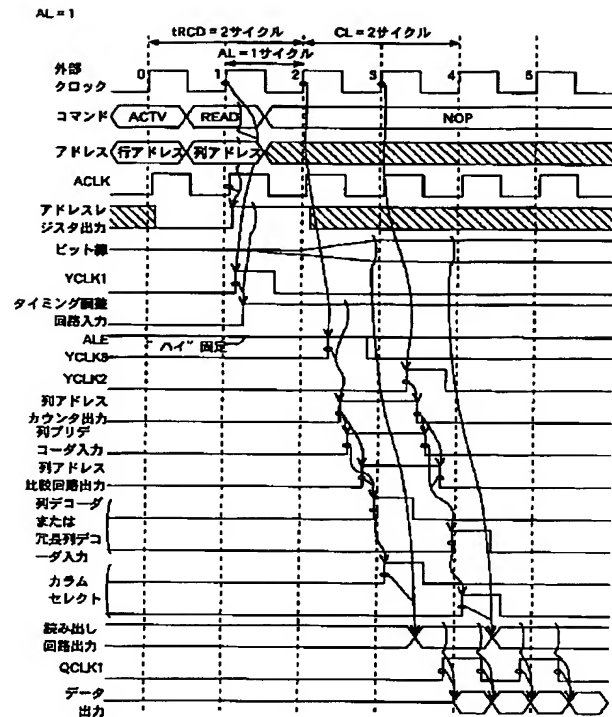




【図 13】

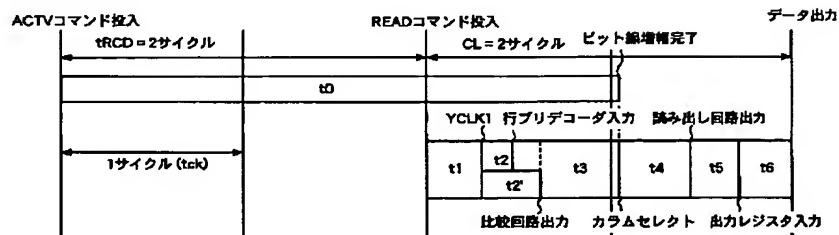


【図 19】

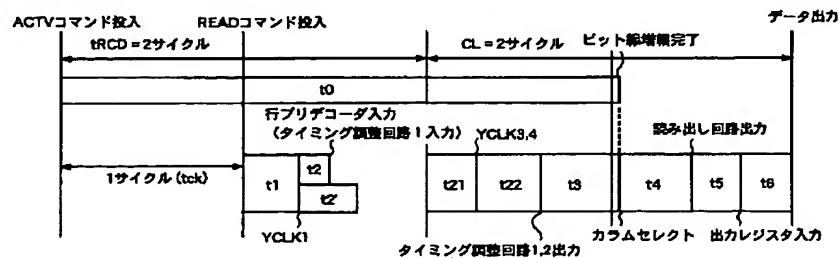


【図 14】

(A) AL = 0 サイクル

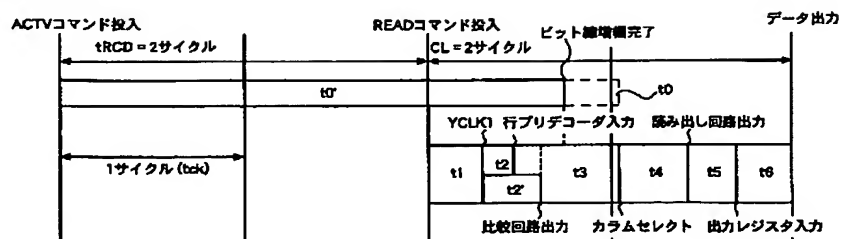


(B) AL = 1 サイクル

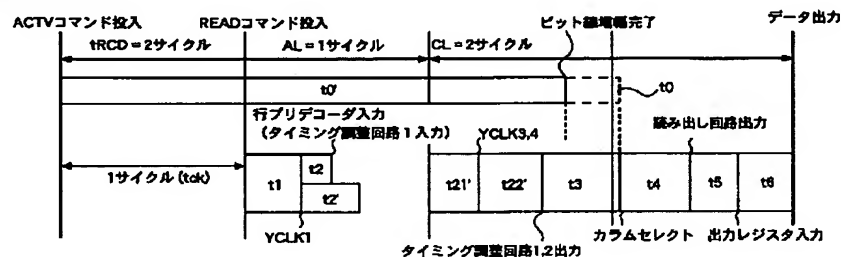


【図 15】

(A)AL=0サイクル



(B)  $AL = 1$  サイクル



【图 17】

(A)

A14 (BA0)	A13 (BA1)	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	0	0	0	DR	0	LMODE			BT	BL		

MRS

A6	A5	A4	CAS Latency
0	1	0	2
0	1	1	3

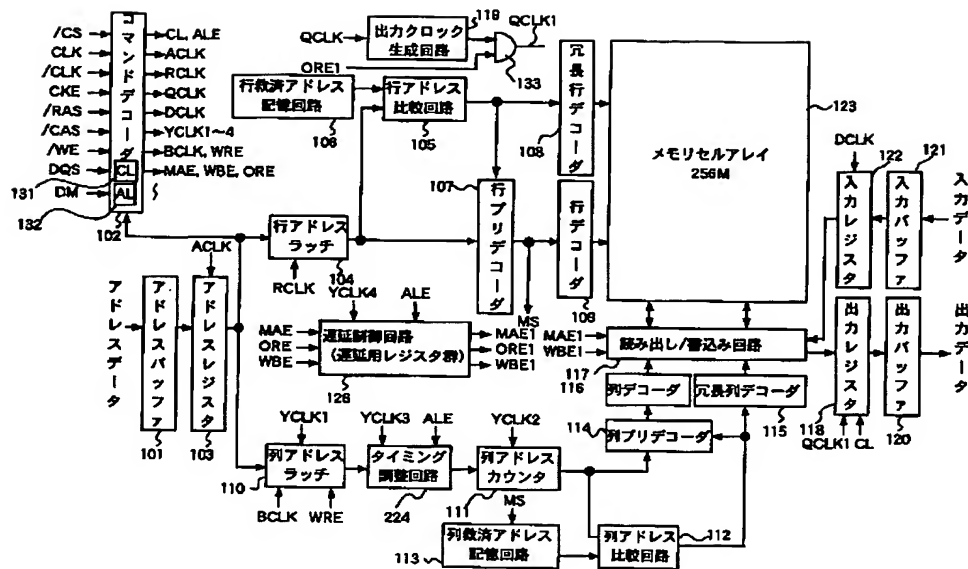
(B)

A14 (BA0)	A13 (BA1)	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	0	0	0	0	0	0	0	0	0	0	AL		DLL	

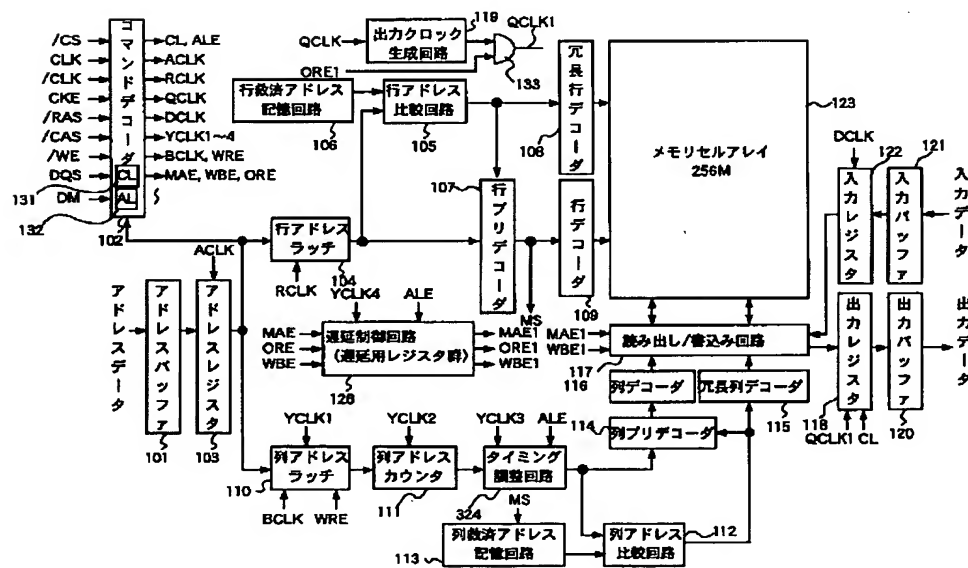
EMRS

A3	A2	A1	Additive Latency
0	0	0	0
0	0	1	1
0	1	0	2

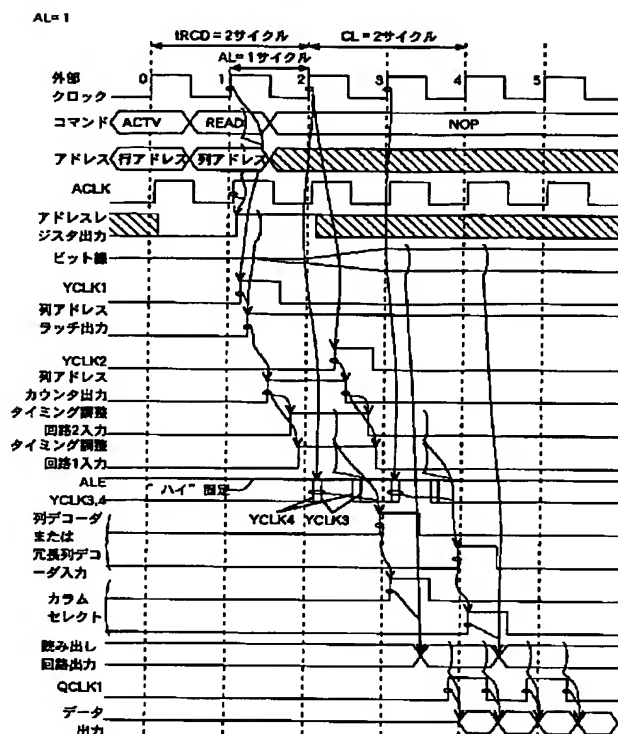
【図 18】



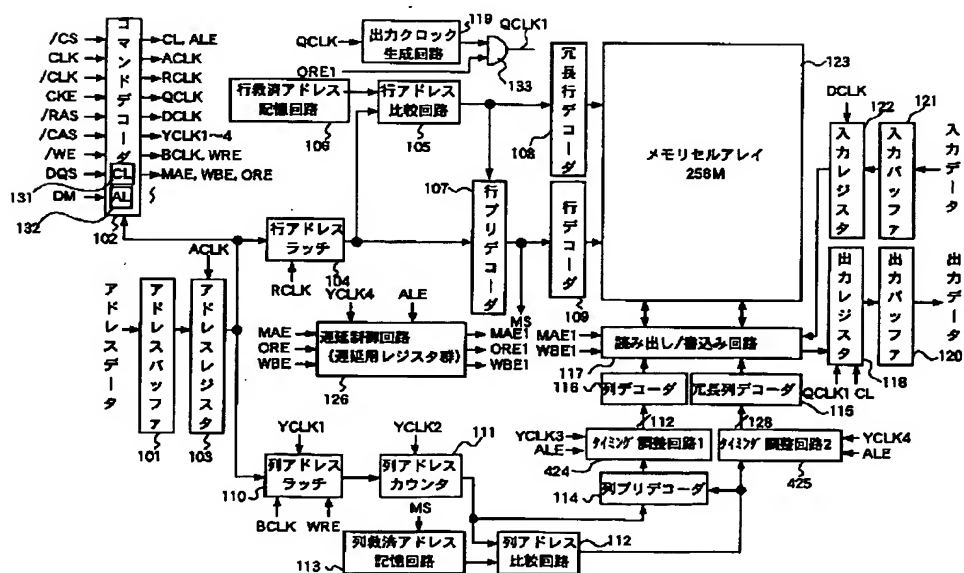
【図 20】



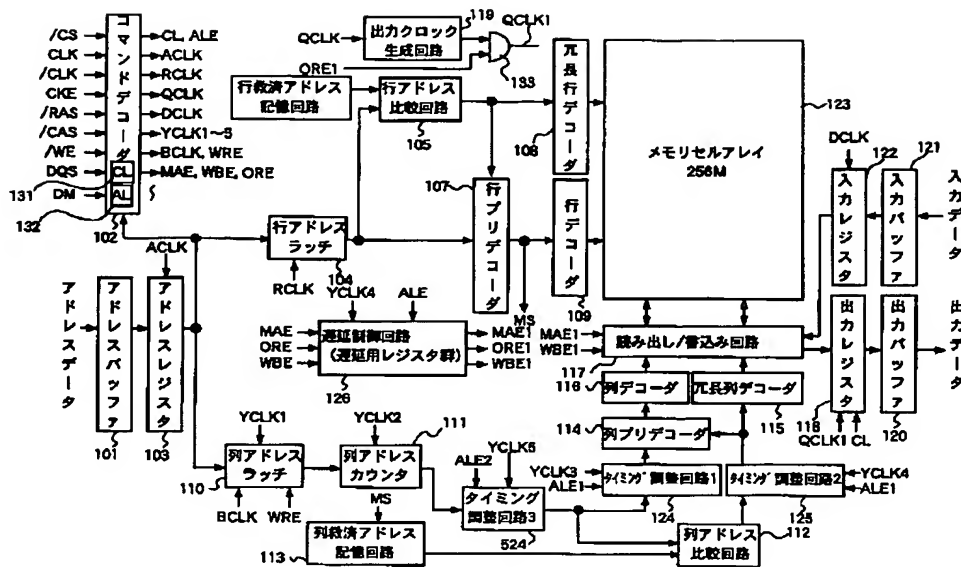
【图 23】



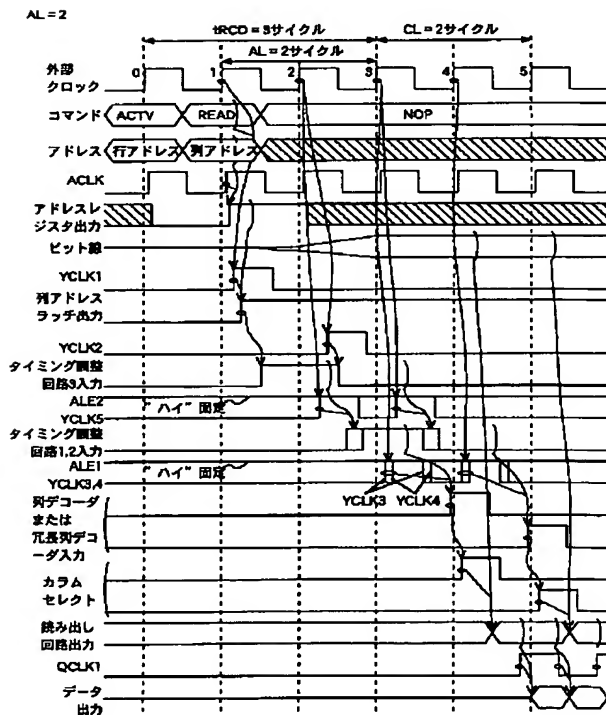
【图 22】



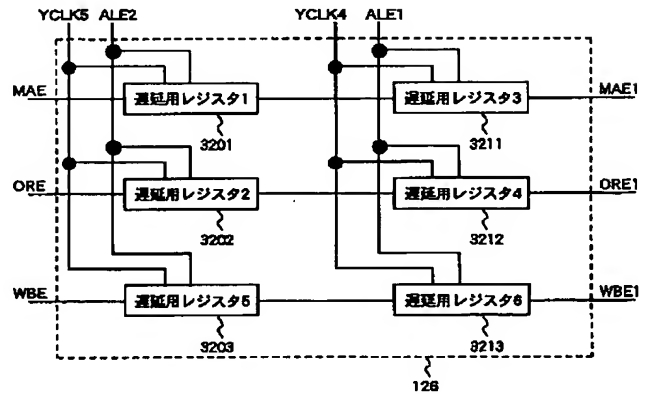
【図24】



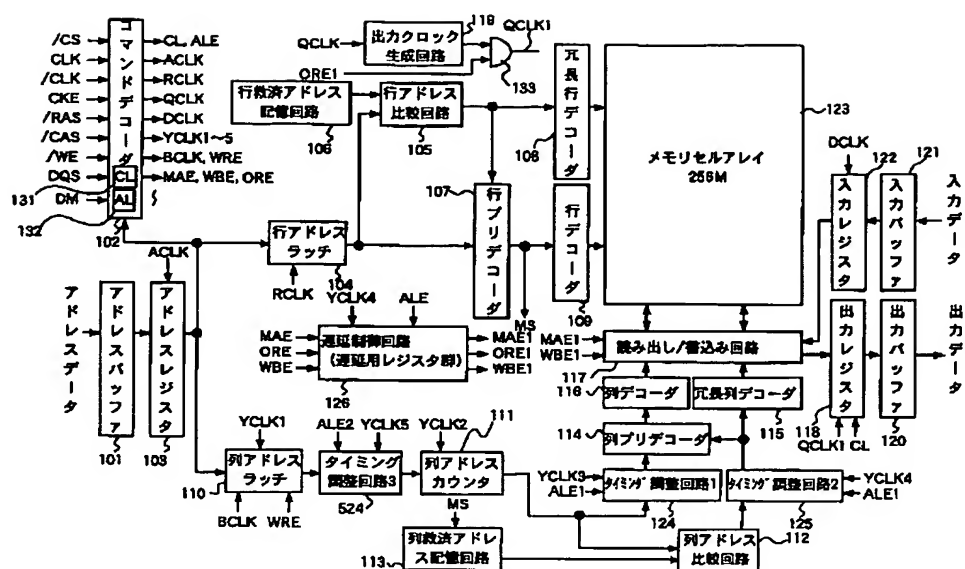
【図25】



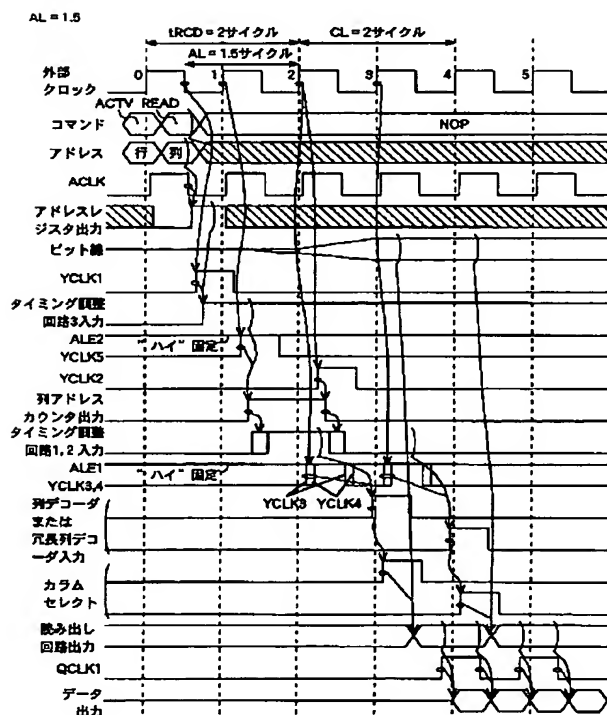
【図26】



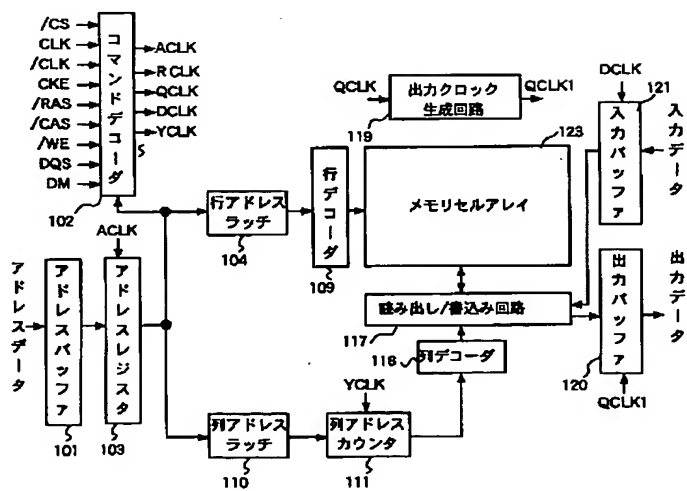
【図27】



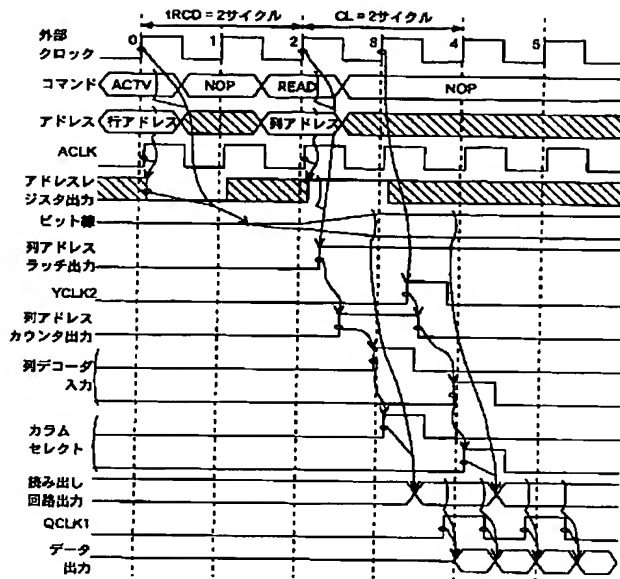
【図28】



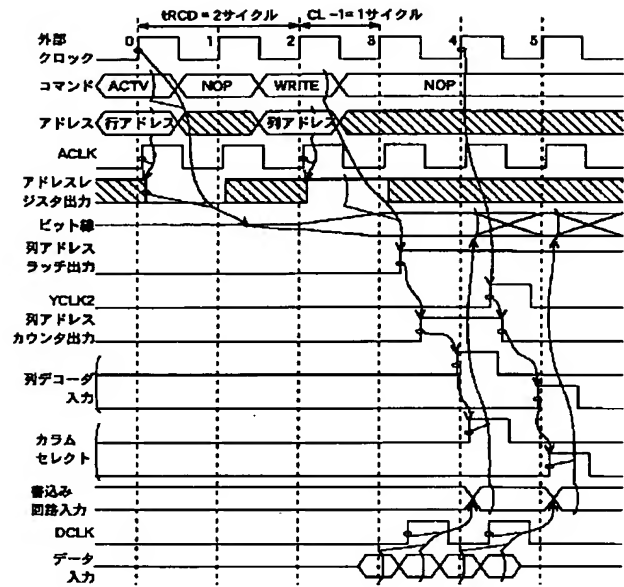
【図29】



【図30】



【図31】



フロントページの続き

(72)発明者 藤澤 宏樹  
 東京都青梅市新町六丁目16番地の3 株式  
 会社日立製作所デバイス開発センタ内  
 (72)発明者 高橋 継雄  
 東京都青梅市新町六丁目16番地の3 株式  
 会社日立製作所デバイス開発センタ内

(72)発明者 中村 正行  
 東京都青梅市新町六丁目16番地の3 株式  
 会社日立製作所デバイス開発センタ内  
 Fターム(参考) 5B024 AA15 BA21 CA11  
 5L106 AA01 CC02 CC11 CC17 GG03